

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321614

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H03L 7/00
H03K 3/02
H03K 5/125
H03K 17/04

(21)Application number : 08-138452

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 31.05.1996

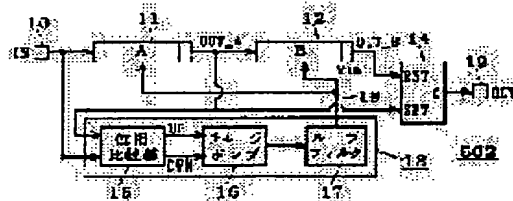
(72)Inventor : KONDO HARUFUSA
ISHIWAKI MASAHIKO
NOTANI HIROMI

(54) WAVEFORM SHAPING DEVICE AND CLOCK APPLICATION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the operating speed of a device operated according to a clock whose duty ratio is set constant.

SOLUTION: A maximum variable delay of a 1st variable delay circuit 11 is set to be in excess of a period an input clock IN and less than twice the period. The delay quantity of 1st and 2nd variable delay circuits 11, 12 is decreased with a control signal Vin, and a ratio of the delay of the 2nd variable delay circuit 12 to a delay of the 1st variable delay circuit 11 is constant to be less than the unity. A control section 13 increases/decreases the control signal Vin so that a phase of the input clock IN is coincident with a phase of an output clock OUT-A. Since the output clock OUT is set by the output clock OUT-A and reset by an output clock OUT-B, the output clock OUT is a clock signal whose phase is identical to the phase of the input clock IN and whose duty ratio is constant.



LEGAL STATUS

[Date of request for examination]

04.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平9-321614

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl. ^o	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/00			H 0 3 L 7/00	D
H 0 3 K 3/02			H 0 3 K 3/02	Z
5/125			17/04	Z
17/04			5/01	D

審査請求 未請求 請求項の数25 OL (全 37 頁)

(21)出願番号 特願平8-138452

(22)出願日 平成8年(1996)5月31日

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 近藤 晴房
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 石脇 昌彦
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 野谷 宏美
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

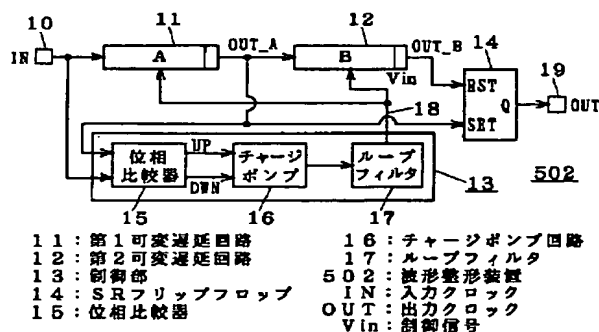
(74)代理人 弁理士 吉田 茂明 (外2名)

(54)【発明の名称】 波形整形装置およびクロック供給装置

(57) 【要約】

【課題】 一定のデューティ比を得ることにより、クロックで動作する装置の動作速度を高める。

【解決手段】 第1可変遅延回路11の最大可変遅延量は入力クロックINの周期を超え、しかも周期の2倍未満となるように設定されている。第1および第2可変遅延回路11、12の遅延量は、制御信号Vinとともに減少し、しかも、第2可変遅延回路12の遅延量の第1可変遅延回路11の遅延量に対する比は1未満の一定値となるように設定されている。制御部13は、入力クロックINと出力クロックOUT__Aの位相が一致するように制御信号Vinを増減させる。出力クロックOUTは、出力クロックOUT__Aでセットされ出力クロックOUT__Bでリセットされるので、入力クロックINと位相が同一で、デューティ比が一定のクロックとなる。



【特許請求の範囲】

【請求項 1】 外部から入力される入力クロックの波形を変換し、出力クロックとして出力する波形整形装置において、

前記入カクロックを入力し、制御信号とともに単調に変化する遅延量をもって遅延させて第 1 遅延クロックとして出力し、しかも、遅延量の上限が前記入カクロックの 1 周期を超え 2 周期未満に設定されている第 1 可変遅延回路と、

前記入カクロックまたは前記第 1 遅延クロックのいずれか一方を入力し、前記制御信号に応じて、前記第 1 可変遅延回路の遅延量に対して 1 未満の一定比率を保ちつつ変化する遅延量をもって遅延させて、第 2 遅延クロックとして出力する第 2 可変遅延回路と、

前記入カクロックと前記第 1 遅延クロックとの位相を比較して、その結果に応じて前記制御信号を生成して送出する制御部と、

前記第 2 可変遅延回路の入力側と出力側に、セット端子とリセット端子がそれぞれ接続され、出力信号を前記出力クロックとして出力する SR フリップフロップと、を備え、

前記制御部は、前記第 1 遅延クロックの位相の方が遅れているときには、前記第 1 可変遅延回路の遅延量が減少する方向に前記制御信号を変化させ、前記第 1 遅延クロックの位相の方が早まっているときには、前記第 1 可変遅延回路の遅延量が増加する方向に前記制御信号を変化させることを特徴とする波形整形装置。

【請求項 2】 請求項 1 に記載の波形整形装置において、

前記制御部が、

前記入カクロックと前記第 1 遅延クロックとの位相を比較して、一方が他方に遅延しているか早まっているかに応じて、アップ信号とダウン信号のいずれかを選択して、前記入カクロックの一周期ごとに位相差に相当する期間にわたって出力する位相比較器と、

前記アップ信号および前記ダウン信号が出力される期間にわたって、それぞれ、正および負の電流の一方と他方とを選択的に出力するチャージポンプ回路と、

容量素子を有し、前記チャージポンプが出力する電流を前記容量素子に蓄積して、当該容量素子の電圧を前記制御信号として出力するループフィルタと、を備えることを特徴とする波形整形装置。

【請求項 3】 請求項 1 に記載の波形整形装置において、

前記第 1 可変遅延回路と前記第 2 可変遅延回路とが、直線状に配列するように縦続接続された同一構成の単位遅延素子の群の前半部と後半部とを、それぞれ有しており、

前記群を構成する各単位遅延素子は、供給される電源電流が大きいほど短い遅延時間で信号を伝達するインバー

タと、バイアス信号に応答して当該インバータへ電源電流を供給する電流源とを、備えており、

前記第 1 可変遅延回路と前記第 2 可変遅延回路とが、前記群を構成するすべての単位遅延素子に属する前記電流源へ共通のバイアス信号を、前記制御信号に応じて供給する単一のバイアス回路部を、さらに、共有していることを特徴とする波形整形装置。

【請求項 4】 請求項 1 に記載の波形整形装置において、

前記第 1 可変遅延回路が、

縦続接続された第 1 単位遅延素子の群を有し、当該第 1 単位遅延素子の第 1 一定数ごとに取り出される出力信号の列を第 1 信号列として出力する第 1 固定遅延回路と、前記第 1 固定遅延回路に接続され、前記第 1 信号列の中から、二進数に対応するデジタル形式の選択信号に応じて、前記二進数の昇順または降順に遅延量が増加する順序で一つを選択し、前記第 1 遅延クロックとして出力する第 1 セレクタと、を備え、

前記第 2 可変遅延回路が、

縦続接続された第 2 単位遅延素子の群を有し、当該第 2 単位遅延素子の第 2 一定数ごとに取り出される出力信号の列を第 2 信号列として出力する第 2 固定遅延回路と、前記第 2 固定遅延回路に接続され、前記第 2 信号列の中から、前記選択信号にตอบสนองして、前記第 1 可変遅延回路が選択する信号の遅延量に対して前記一定比率の遅延量を有する一つを選択し、前記第 2 遅延クロックとして出力する第 2 セレクタと、を備え、

前記制御部は、前記制御信号として前記選択信号を送出することを特徴とする波形整形装置。

【請求項 5】 請求項 4 に記載の波形整形装置において、

前記第 1 および第 2 セレクタは、互いに同一に構成されており、しかも、前記第 1 セレクタの前記第 1 固定遅延回路への接続関係と、前記第 2 セレクタの前記第 2 固定遅延回路への接続関係とは、互いに同一に設定されており、

前記第 1 および第 2 単位遅延素子は互いに同一に構成されており、

前記第 1 一定数が前記第 2 一定数よりも大きく設定されていることを特徴とする波形整形装置。

【請求項 6】 請求項 4 に記載の波形整形装置において、

前記第 1 および第 2 セレクタは、互いに同一に構成されており、

前記第 1 および第 2 固定遅延回路は、互いに同一に構成されており、

前記制御部は、二進数に対応する前記選択信号を、並列信号として送出し、

前記第 1 セレクタの前記第 1 固定遅延回路への接続関係および前記第 2 セレクタの前記第 2 固定遅延回路への接

続関係は、互いに同一に設定されており、前記第 1 または第 2 固定遅延回路の一方と前記制御部との間の配線が、前記制御信号がビットシフトするようにずらして結線されていることを特徴とする波形整形装置。

【請求項 7】 請求項 4 ないし請求項 6 のいずれかに記載の波形整形装置において、

前記制御部が、前記入力クロックと前記第 1 遅延クロックとの位相を比較して、一方が他方に遅延しているか早まっているかに応じて、アップ信号とダウン信号のいずれかを選択して、前記入力クロックの一周期ごとに位相差に相当する期間にわたって出力する位相比較器と、

前記アップ信号および前記ダウン信号が出力される期間にわたって、それぞれ、正および負の電流の一方と他方とを選択的に出力するチャージポンプ回路と、

容量素子を有し、前記チャージポンプが出力する電流を前記容量素子に蓄積して、当該容量素子の電圧を出力するループフィルタと、

前記電圧を二進数に対応したデジタル形式の信号に変換して、前記選択信号として出力する A/D コンバータと、を備えていることを特徴とする波形整形装置。

【請求項 8】 請求項 4 ないし請求項 6 のいずれかに記載の波形整形装置において、

前記制御部が、

前記第 1 遅延クロックと前記入力クロックの一方と他方が、それぞれデータ入力端子とクロック入力端子とに入力され、前記クロック入力端子の信号のアクティブレベルへの立ち上がりごとに、前記データ入力端子の信号のレベルに応じて更新して出力する D ラッチと、前記 D ラッチの出力のレベルに応じて、前記入力クロックの周期で、カウントアップとカウントダウンとを選択的に実行する第 1 カウンタと、

前記第 1 カウンタがオーバーフローおよびアンダーフローするたびに、前記入力クロックに同期してカウント値をそれぞれ増加および減少させて、前記選択信号として送出する第 2 カウンタと、を備えていることを特徴とする波形整形装置。

【請求項 9】 請求項 1 または請求項 4 に記載の波形整形装置において、

前記第 2 可変遅延回路の後に順次縦続接続され、しかも前記第 2 可変遅延回路と同一に構成され、遅延量を制御する信号として前記制御信号が入力される、 N (≥ 1) 個の第 3 可変遅延回路と、

前記 S/R フリップフロップを第 1 S/R フリップフロップとし、前記 N 個の第 3 可変遅延回路の中の M ($1 \leq M \leq N$) 個の入力側と出力側とに、セット端子とリセット端子がそれぞれ接続された M 個の第 2 S/R フリップフロップと、をさらに備えることを特徴とする波形整形装置。

【請求項 10】 請求項 9 に記載の波形整形装置におい

て、

前記 N 個が偶数個であり、しかも、前記 M 個が $N/2$ 個であり、

前記第 1 S/R フリップフロップおよび前記 M 個の第 2 S/R フリップフロップは、第 2 可変遅延回路と前記 N 個の第 3 可変遅延回路とで構成される縦続接続された可変遅延回路の群の中の一つおきに接続されており、

前記一定比率は、 $1/(N+2)$ に設定されており、

前記波形整形装置は、

前記第 1 S/R フリップフロップおよび前記 M 個の第 2 S/R フリップフロップの出力信号の論理和を算出して出力する論理和回路を、さらに備えることを特徴とする波形整形装置。

【請求項 11】 外部から入力される入力クロックの波形を変換し、出力クロックとして出力する波形整形装置において、

前記入力クロックのアクティブレベルへの立ち上がりに同期してワンショットパルスを出力するワンショットパルス回路と、

前記ワンショットパルスを入力し、制御信号とともに単調に変化する遅延量をもって遅延させて第 1 遅延クロックとして出力し、しかも、遅延量の上限が前記入力クロックの 1 周期を超え 2 周期未満に設定されている第 1 可変遅延回路と、

前記ワンショットパルスまたは前記遅延クロックのいずれか一方を入力し、最後部の信号の遅延量が前記第 1 可変遅延回路の遅延量に対して 1 未満の一定比率を保つように、前記制御信号に応じて変化する遅延幅で、順次遅延する遅延信号列を出力する第 2 可変遅延回路と、前記ワンショットパルスと前記遅延クロックとの位相を比較して、その結果に応じて前記制御信号を生成して送出する制御部と、

前記第 2 可変遅延回路に入力されるクロックおよび前記遅延信号列の論理和を算出し、前記出力クロックとして出力する論理和回路と、を備え、

前記制御部は、前記遅延クロックの位相の方が遅れているときには、前記第 1 可変遅延回路の遅延量が減少する方向に前記制御信号を変化させ、前記遅延クロックの位相の方が早まっているときには、前記第 1 可変遅延回路の遅延量が増加する方向に前記制御信号を変化させることを特徴とする波形整形装置。

【請求項 12】 請求項 1、請求項 4、または請求項 11 に記載の波形整形装置において、

前記制御部と前記第 2 可変遅延回路の間に介挿され、前記制御部が送出する前記制御信号にオフセット信号を重畳して、前記第 2 可変遅延回路へと送出するオフセット生成部を、さらに備えることを特徴とする波形整形装置。

【請求項 13】 請求項 12 に記載の波形整形装置において、

前記オフセット信号の値は、外部から入力される信号に応じて可変であることを特徴とする波形整形装置。

【請求項14】 請求項13に記載の波形整形装置において、

前記第1可変遅延回路の遅延量の上限に対する、前記入カクロックの2周期未満という制限を外し、

前記波形整形装置は、

前記制御信号の初期値を、前記遅延量を最小にする値に設定する手段を、さらに備えることを特徴とする波形整形装置。

【請求項15】 外部から入力される入カクロックの波形を変換し、出カクロックとして出力する波形整形装置において、

前記入カクロックを入力し、制御信号とともに単調に変化する遅延量をもって遅延させて遅延クロックとして出力し、しかも、遅延量の上限が前記入カクロックの1周期未満に設定されている可変遅延回路と、

前記入カクロックと前記遅延クロックが、それぞれセット端子とリセット端子に入力され、出力信号を前記出カクロックとして出力するSRフリップフロップと、

前記出カクロックを積分して出力する積分器と、

当該積分器の出力が一方入力に接続されており、当該一方入力の値が他方入力の値よりも大きいときには前記可変遅延回路の遅延量を減らし、前記一方入力の値の方が小さいときには前記可変遅延回路の遅延量を増やす方向に、前記一方入力と他方入力の値の差を増幅し、前記制御信号として出力する差動増幅器と、を備えることを特徴とする波形整形装置。

【請求項16】 請求項15に記載の波形整形装置において、

一定値の信号を生成し前記他方入力へと入力する基準信号生成部を、さらに備えることを特徴とする波形整形装置。

【請求項17】 外部から入力される入カクロックの波形を変換し、出カクロックとして出力する波形整形装置において、

縦続接続された単位遅延素子の群を有し、前記入カクロックを前記単位遅延素子の一定数ごとに順次遅延させて得られる信号列を出力する固定遅延回路と、

前記固定遅延回路に接続され、二進数で表現されたデジタル形式の選択信号に応答して、遅延量が前記二進数と単調な関係をもつように、前記信号列の中から一つを選択し、遅延クロックとして出力するセレクタと、を備え、

前記入カクロックと前記遅延クロックが、それぞれセット端子とリセット端子へ入力され、出力信号を前記出カクロックとして出力するSRフリップフロップと、

前記出カクロックのレベルに応じて、前記入カクロックよりも短い周期で、カウントアップとカウントダウンとを選択的に実行する第1カウンタと、

前記第1カウンタがオーバフローおよびアンダーフローするたびに、前記出カクロックのデューティ比における50%からの偏差を解消する方向に、カウント値の増加と減少の一方と他方とを選択的にを行い、当該カウント値を前記選択信号として送出する第2カウンタと、を備えたことを特徴とする波形整形装置。

【請求項18】 請求項1、請求項4、請求項15、または請求項17に記載の波形整形装置において、

前記SRフリップフロップが、前記セット端子および前記リセット端子のそれぞれに入力されるクロックのアクティブレベルへの立ち上がりに同期してワンショットパルスを生成する2個のワンショットパルス回路を、備えることを特徴とする波形整形装置。

【請求項19】 請求項1、請求項4、請求項15、または請求項17に記載の波形整形装置において、

前記SRフリップフロップが、リセット優先型のSRフリップフロップであることを特徴とする波形整形装置。

【請求項20】 請求項1、請求項4、請求項15、または請求項17に記載の波形整形装置において、

外部から入力された前記入カクロックのアクティブレベルへの立ち上がりに同期してワンショットパルスを出力するワンショットパルス回路を、さらに備え、

前記入カクロックの代わりに、前記ワンショットパルスが、前記ワンショットパルス回路を除く前記波形整形装置の各部へ供給されることを特徴とする波形整形装置。

【請求項21】 請求項1または請求項4に記載の波形整形装置において、

前記一定比率が1/4に設定されており、

前記SRフリップフロップが、2入力端子に入力された信号の排他的論理和を算出して前記出力信号として出力する排他的論理和回路に置き換えられ、

前記セット端子と前記リセット端子が前記2入力端子に置き換えられたことを特徴とする波形整形装置。

【請求項22】 外部から供給された入カクロックがクロックドライバで増幅され、さらにクロック配線を通じて伝播する過程で生じる遅延を補償するクロック供給装置において、

前記入カクロックが一方入力へ入力され、前記クロック配線の一点からフィードバックされたクロックが他方入力へ入力され、前記一方入力に対して前記他方入力のクロックの位相が早いか遅いかに応じて、前記入カクロックの位相を遅れる方向または早める方向に、それぞれずらして出力するDLL装置と、

前記DLL装置が出力するクロックのデューティ比を一定値に変換して、前記クロックドライバへと出力する波形整形装置と、

を備えることを特徴とするクロック供給装置。

【請求項23】 請求項22に記載のクロック供給装置において、

前記波形整形装置が、請求項1、請求項4、請求項1

1、請求項15、または、請求項17に記載の波形整形装置であることを特徴とするクロック供給装置。

【請求項24】 外部から供給された入力クロックがクロックドライバで増幅され、さらにクロック配線を通じて伝播する過程で生じる遅延を補償するクロック供給装置において、

縦続接続された単位遅延素子の群を有し、前記入力クロックを前記単位遅延素子の一定数ごとに順次遅延させて得られる信号列を出力する固定遅延回路と、

二進数で表現されたデジタル形式の第1選択信号にตอบสนองして、遅延量が前記二進数とともに線型に増加するように、前記信号列の中から一つを選択し、第1遅延クロックとして出力する第1セレクタと、

二進数で表現されたデジタル形式の第2選択信号にตอบสนองして、しかも前記第1選択信号と同一の関係をもって、前記信号列の中から一つを選択し、第2遅延クロックとして出力する第2セレクタと、

前記入力クロックが一方入力へ入力され、前記クロック配線の一点からフィードバックされたクロックが他方入力へ入力され、前記一方入力に対して前記他方入力のクロックの位相が早いか遅いかに応じて、前記第1選択信号をそれぞれ増加または減少させる第1選択信号生成部と、

前記入力クロックの周期を測定し、前記信号列の中から前記周期の半分の遅延量をもつ一つを選択可能な選択信号を生成し、第3選択信号として出力する周期測定部と、

前記第1選択信号に前記第3選択信号を加算し、前記第2選択信号として出力する第2選択信号生成部と、

前記第1および第2遅延クロックが、それぞれセット端子およびリセット端子へ入力され、出力信号を前記クロックドライバへと出力するSRフリップフロップと、を備えることを特徴とするクロック供給装置。

【請求項25】 請求項24に記載のクロック供給装置において、

前記周期測定部が、

前記固定遅延回路を第1固定遅延回路とし、縦続接続された単位遅延素子の群を有し、前記入力クロックを前記単位遅延素子の一定数ごとに順次遅延させて得られる信号列を出力し、しかも、当該信号列の遅延量が前記第1固定遅延回路の信号列の遅延量と同一の第2固定遅延回路と、

二進数で表現されたデジタル形式の第4選択信号にตอบสนองして、しかも前記第1選択信号と同一の関係をもって、前記信号列の中から一つを選択し、第3遅延クロックとして出力する第3セレクタと、

前記入力クロックが一方入力へ入力され、前記第3遅延クロックが他方入力へ入力され、前記一方入力に対して前記他方入力のクロックの位相が早いか遅いかに応じて、前記第4選択信号をそれぞれ増加または減少させる

第4選択信号生成部と、

前記第4選択信号を、二進数としての半分の値に変換し、前記第3選択信号として出力する割算器と、を備えることを特徴とするクロック供給装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、クロック信号のデューティ比、周波数等を変換する波形整形装置、および波形整形装置にDLL装置が組み合わされて成るクロック供給装置に関する。

【0002】

【従来の技術】DLL (Delay Locked Loop) 装置は、外部クロックを可変遅延回路によって1クロック周期に幾分満たない時間だけ遅延させ、クロック・ドライバなどで発生する遅延を相殺することにより、外部クロックと実質的にほぼ同位相で内部クロックを供給する装置である。1クロック周期より幾分短い遅延とクロック・ドライバなどで生じる遅延を足して、ちょうど1クロック周期になるように動作するので、あたかも、遅延なしで内部クロックが供給されているように見える。

【0003】図47は、この発明の背景となる、DLL装置を利用した従来のクロック供給装置の構成を示すブロック図である。図47において、1はDLL装置、3はクロックドライバ、4はクロック配線、6はクロック入力端子、201は可変遅延回路、202は位相比較器、203はチャージポンプ回路、204はループフィルタ、551はクロック供給装置、CLは入力クロック（外部クロック）、OUT_Dは出力クロック、Vcは制御信号、そして、FBはフィードバッククロックである。

【0004】クロック配線4を通じてクロックの供給を受ける装置部分は、通常において、単一の半導体チップに集積化されている。また、DLL装置1およびクロックドライバ3も同様に、同一の半導体チップの中に作り込まれるのが通例である。

【0005】図48は、位相比較器202の従来周知の構成例を示す回路図である。この例は、モトローラ型の位相周波数比較器である。図48において、N1～N9はNAND回路、Q1～Q4はNAND回路N1～N8で構成されるSRフリップフロップの出力信号、UP*はアップ信号、DWN*はダウン信号、そして、RESET*はリセット信号である。

【0006】図49のタイミングチャートに、図48の装置の動作にともなう各部の信号波形を示す。図49に示すように、入力クロックCLの位相に対してフィードバッククロックFBの位相が遅延していると、位相差に相当する期間にわたって、アップ信号UP*がアクティブ（この場合は、値“0”）となる。逆に、入力クロックCLの位相に対してフィードバッククロックFBの位相が早まっていると、位相差に相当する期間にわたつ

て、ダウン信号DWN*がアクティブとなる。

【0007】図50は、図48の装置の状態遷移図である。図50に示すように、アップ信号UP*もダウン信号DWN*も出力されないアイドル状態から出発して、入力クロックCLが立ち上がると、アップ信号UP*がアクティブとなり、その後、フィードバッククロックFBが立ち上がるとリセットされて、アイドル状態に戻る。フィードバッククロックFBの方が先に立ち上がるときには、これとは逆にダウン信号DWN*がアクティブとなる。

【0008】図51は、チャージポンプ回路203とループフィルタ204の従来周知の構成例を示す回路図である。図51において、211、212は電流源、213はPMOSトランジスタ、214はNMOSトランジスタ、215はインバータ、216は抵抗素子、217は容量素子、Icp1は電流源211が供給する電流、そして、Icp2は電流源212が供給する電流である。

【0009】図52は、電流源211の構成を示す回路図である。図52において、221はPMOSトランジスタ、そして、222はPMOSトランジスタ221にバイアス電圧を供給するバイアス源である。

【0010】図53は、電流源212の構成を示す回路図である。図53において、223はNMOSトランジスタ、そして、224はNMOSトランジスタ223にバイアス電圧を供給するバイアス源である。バイアス源222、224によるバイアス電圧の供給は、電流Icp1、Icp2が互いに等しくなるように行われる。

【0011】図51に戻って、アップ信号UP*がアクティブであるときには、PMOSトランジスタ213がオンし、電流源211が供給する電流Icp1がループフィルタ204へ供給され、容量素子216が充電される。逆に、ダウン信号DWN*がアクティブであるときには、NMOSトランジスタ214がオンし、電流源212が供給する電流Icp2によって、容量素子216が放電される。

【0012】すなわち、チャージポンプ回路203は、電流源211、212で設定される電流Icp1、Icp2を、アップ信号UP*およびダウン信号DWN*がアクティブである期間だけ、互いに逆方向にループフィルタ204へと供給する。これを電流バケットと称する。これらの正負の電流バケットは、ループフィルタ204に備わる容量素子216によって蓄積される。

【0013】図54は、可変遅延回路201の従来周知の構成例を示す回路図である。図54において、232は抵抗素子、233、235、243はNMOSトランジスタ、234、236、244はPMOSトランジスタ、そして、245はインバータである。縦続接続されたインバータ245の初段に入力クロックCLが入力され、最終段から出力クロックOUT_Dが出力される。

入力クロックCLは、インバータ245を1段ずつ伝播するたびに、遅延時間が蓄積されてゆく。

【0014】そして、制御信号Vcによって抵抗素子232を流れる電流が調整され、この電流の大きさが、PMOSトランジスタ234、236、およびNMOSトランジスタ235、243でそれぞれ構成されるカレントミラー回路によって、MOSトランジスタ243、244を流れる電流の大きさに反映される。これらのMOSトランジスタ243、244は、インバータ245の電流源として機能する。

【0015】すなわち、制御信号Vcによって、各インバータ245の電源電流が調整される。制御信号Vcの電圧が高いほど、電源電流は大きくなる。そして、インバータ245に供給される電流が高いほど、インバータ245を通過するクロックの遅延時間は短くなる。すなわち、制御信号Vcの電圧が高いほど、入力クロックCLに対する出力クロックOUT_Dの遅延量は短くなる。

【0016】図47に戻って、クロック入力端子6を通じて入力された入力クロックCLは、DLL装置1で遅延されて出力クロックOUT_Dとして出力される。この出力クロックOUT_Dは、クロックドライバ3で増幅された後、クロック配線4へと送出される。

【0017】クロック配線4は、通常において、クロックツリーの形態をなしている。そして、クロックツリーの中間的なスキューのポイントのクロックが、フィードバッククロックFBとして拾い上げられ、DLL装置1の位相比較器202へとフィードバックされる。

【0018】フィードバッククロックFBの位相が入力クロックCLの位相よりも遅れると、位相比較器202は、入力クロックCLの1周期ごとに位相差に相当する期間にわたってアップ信号UP*を出力する。それに応じて、チャージポンプ回路203は、正の電流バケットをループフィルタ204へ送り込む。その結果、ループフィルタ204が出力する制御信号Vcは上昇する。すると、可変遅延回路201では、遅延量が減少し、出力クロックOUT_Dの位相が早まり、フィードバッククロックFBの位相は入力クロックCLの位相に接近する。

【0019】逆に、フィードバッククロックFBの位相が入力クロックCLの位相よりも早まると、位相比較器202は、入力クロックCLの1周期ごとに位相差に相当する期間にわたってダウン信号DWN*を出力する。それに応じて、チャージポンプ回路203は負の電流バケットをループフィルタ204へ送り込む。その結果、ループフィルタ204が出力する制御信号Vcは下降する。すると、可変遅延回路201では、遅延量が増加し、出力クロックOUT_Dの位相が遅れ、フィードバッククロックFBの位相は入力クロックCLの位相に接近する。

【0020】フィードバッククロックFBの位相が入力クロックCLの位相に一致すると、位相比較器202は、アップ信号UP*もダウン信号DWN*も出力せず、ループフィルタ204への電流パケットの供給は停止するので、制御信号Vcは変化しない。したがって、フィードバッククロックFBの位相は、入力クロックCLの位相に収束してゆき、位相差がゼロの状態安定する。この位相の一致は見かけ上の一致であって、正しくは、入力クロックCLの1周期分遅れている。しかしながら、実用上は位相差がゼロであることと等価である。

【0021】

【発明が解決しようとする課題】以上のように、DLL装置を備えた従来のクロック供給装置は、クロックの遅延時間を補償する機能を果たすものであって、クロックの波形に関連するデューティ比は、入力クロックCLの値がそのままクロック配線4へと伝えられる。

【0022】ところで、クロック配線4を通じてクロックの供給を受ける様々な装置部分の間で、クロックの立ち上がりで動作するものと、立ち下がりで動作するものとが混在する場合がある。この場合には、クロックのデューティ比は50%であることが好ましい。これに該当する一例として、エッジ・トリガのフリップフロップと、RAMなどのマクロブロック（例えば、RAM、FIFO、ALUなど、ハードウェア規模が相当に大きく特定の機能を実現する回路ブロック）とが混在する場合が挙げられる。

【0023】クロックの立ち上がりから開始された演算が、クロックの立ち下がりでラッチされる装置部分と、その逆の動作をする装置部分とが混在するときに、例えば、供給されるクロックのデューティ比が30%であると仮定する。すると、前者の装置部分では、クロック周期の30%の時間で演算を終わらなければならないのに対して、後者の装置部分では、クロック周期の70%の時間で悠々と演算すればよいことになる。

【0024】両者の演算量が同じであれば、装置全体の最高動作速度はクロックが値“1”（ハイレベル）である期間の長さ、すなわち周期の30%の長さによって律速されることになる。これに対して、クロックのデューティ比が50%であれば、30%である場合に比べて高いクロック周波数を採用することが可能となる。すなわち、装置全体をより高い速度で動作させることが可能となる。したがって、DLL装置を有するクロック供給装置には、クロックのデューティ比を50%に変換する波形整形機能が兼ね備わることが望ましい。

【0025】装置部分ごとに、クロックが値“1”である期間の演算と、値“0”（ロウレベル）である期間の演算とを意識して、積極的にこれを設計に反映させるのは、容易でないために、通常においては、上記したようにデューティ比50%のクロックを採用することで、もっとも設計上のマージンが得られることになる。しかし

ながら、もしも、クロックのデューティ比が50%以外の特定の値にあるときに最高速の動作が可能となるように回路を構成し得たとすると、回路の外部から供給されるクロックのデューティ比によらずに、所望のデューティ比が得られるクロック供給装置があれば、回路の動作速度を潜在能力一杯にまで最大限に高めることが可能となる。

【0026】また、装置部分ごとに位相の異なるクロックを必要とする装置、さらに、周波数の異なるクロックを必要とする装置も存在する。しかしながら、位相のずれを補償する機能を有する従来のクロック供給装置において、外部から供給されるクロックのデューティ比、周波数、位相の数などを変換する波形整形機能を備えたクロック供給装置は、従来において知られていなかった。

【0027】この発明は、従来の装置における上記した問題点を解消するためになされたもので、クロックの位相のずれを補償する機能とともに波形整形機能を備え、そのことによって、クロックの供給を受ける装置の動作速度を高めることのできるクロック供給装置、および、このクロック供給装置に適した波形整形装置を提供することを目的とする。

【0028】

【課題を解決するための手段】第1の発明の装置は、外部から入力される入力クロックの波形を変換し、出力クロックとして出力する波形整形装置において、前記入力クロックを入力し、制御信号とともに単調に変化する遅延量をもって遅延させて第1遅延クロックとして出力し、しかも、遅延量の上限が前記入力クロックの1周期を超え2周期未満に設定されている第1可変遅延回路と、前記入力クロックまたは前記第1遅延クロックのいずれか一方を入力し、前記制御信号に応じて、前記第1可変遅延回路の遅延量に対して1未満の一定比率を保ちつつ変化する遅延量をもって遅延させて、第2遅延クロックとして出力する第2可変遅延回路と、前記入力クロックと前記第1遅延クロックとの位相を比較して、その結果に応じて前記制御信号を生成して送出する制御部と、前記第2可変遅延回路の入力側と出力側に、セット端子とリセット端子がそれぞれ接続され、出力信号を前記出力クロックとして出力するSRフリップフロップと、を備え、前記制御部は、前記第1遅延クロックの位相の方が遅れているときには、前記第1可変遅延回路の遅延量が減少する方向に前記制御信号を変化させ、前記第1遅延クロックの位相の方が早まっているときには、前記第1可変遅延回路の遅延量が増加する方向に前記制御信号を変化させることを特徴とする。

【0029】第2の発明の装置は、第1の発明の波形整形装置において、前記制御部が、前記入力クロックと前記第1遅延クロックとの位相を比較して、一方が他方に遅延しているか早まっているかに応じて、アップ信号とダウン信号のいずれかを選択して、前記入力クロックの

一周期ごとに位相差に相当する期間にわたって出力する位相比較器と、前記アップ信号および前記ダウン信号が出力される期間にわたって、それぞれ、正および負の電流の一方と他方とを選択的に出力するチャージポンプ回路と、容量素子を有し、前記チャージポンプが出力する電流を前記容量素子に蓄積して、当該容量素子の電圧を前記制御信号として出力するループフィルタと、を備えることを特徴とする。

【0030】第3の発明の装置は、第1の発明の波形整形装置において、前記第1可変遅延回路と前記第2可変遅延回路とが、直線状に配列するように縦続接続された同一構成の単位遅延素子の群の前半部と後半部とを、それぞれ有しており、前記群を構成する各単位遅延素子は、供給される電源電流が大きいほど短い遅延時間で信号を伝達するインバータと、バイアス信号にตอบสนองして当該インバータへ電源電流を供給する電流源とを、備えており、前記第1可変遅延回路と前記第2可変遅延回路とが、前記群を構成するすべての単位遅延素子に属する前記電流源へ共通のバイアス信号を、前記制御信号に応じて供給する単一のバイアス回路部を、さらに、共有していることを特徴とする。

【0031】第4の発明の装置は、第1の発明の波形整形装置において、前記第1可変遅延回路が、縦続接続された第1単位遅延素子の群を有し、当該第1単位遅延素子の第1一定数ごとに取り出される出力信号の列を第1信号列として出力する第1固定遅延回路と、前記第1固定遅延回路に接続され、前記第1信号列の中から、二進数に対応するデジタル形式の選択信号に応じて、前記二進数の昇順または降順に遅延量が増加する順序で一つを選択し、前記第1遅延クロックとして出力する第1セレクタと、を備え、前記第2可変遅延回路が、縦続接続された第2単位遅延素子の群を有し、当該第2単位遅延素子の第2一定数ごとに取り出される出力信号の列を第2信号列として出力する第2固定遅延回路と、前記第2固定遅延回路に接続され、前記第2信号列の中から、前記選択信号にตอบสนองして、前記第1可変遅延回路が選択する信号の遅延量に対して前記一定比率の遅延量を有する一つを選択し、前記第2遅延クロックとして出力する第2セレクタと、を備え、前記制御部は、前記制御信号として前記選択信号を送出することを特徴とする。

【0032】第5の発明の装置は、第4の発明の波形整形装置において、前記第1および第2セレクタは、互いに同一に構成されており、しかも、前記第1セレクタの前記第1固定遅延回路への接続関係と、前記第2セレクタの前記第2固定遅延回路への接続関係とは、互いに同一に設定されており、前記第1および第2単位遅延素子は互いに同一に構成されており、前記第1一定数が前記第2一定数よりも大きく設定されていることを特徴とする。

【0033】第6の発明の装置は、第4の発明の波形整

形装置において、前記第1および第2セレクタは、互いに同一に構成されており、前記第1および第2固定遅延回路は、互いに同一に構成されており、前記制御部は、二進数に対応する前記選択信号を、並列信号として送出し、前記第1セレクタの前記第1固定遅延回路への接続関係および前記第2セレクタの前記第2固定遅延回路への接続関係は、互いに同一に設定されており、前記第1または第2固定遅延回路の一方と前記制御部との間の配線が、前記制御信号がビットシフトするようにずらして結線されていることを特徴とする。

【0034】第7の発明の装置は、第4ないし第6のいずれかの発明の波形整形装置において、前記制御部が、前記入力クロックと前記第1遅延クロックとの位相を比較して、一方が他方に遅延しているか早まっているかに応じて、アップ信号とダウン信号のいずれかを選択して、前記入力クロックの一周期ごとに位相差に相当する期間にわたって出力する位相比較器と、前記アップ信号および前記ダウン信号が出力される期間にわたって、それぞれ、正および負の電流の一方と他方とを選択的に出力するチャージポンプ回路と、容量素子を有し、前記チャージポンプが出力する電流を前記容量素子に蓄積して、当該容量素子の電圧を出力するループフィルタと、前記電圧を二進数に対応したデジタル形式の信号に変換して、前記選択信号として出力するADコンバータと、を備えていることを特徴とする。

【0035】第8の発明の装置は、第4ないし第6のいずれかの発明の波形整形装置において、前記制御部が、前記第1遅延クロックと前記入力クロックの一方と他方が、それぞれデータ入力端子とクロック入力端子とに入力され、前記クロック入力端子の信号のアクティブレベルへの立ち上がりごとに、前記データ入力端子の信号のレベルに応じて更新して出力するDラッチと、前記Dラッチの出力のレベルに応じて、前記入力クロックの周期で、カウントアップとカウントダウンとを選択的に実行する第1カウンタと、前記第1カウンタがオーバフローおよびアンダーフローするたびに、前記入力クロックに同期してカウント値をそれぞれ増加および減少させて、前記選択信号として送出する第2カウンタと、を備えていることを特徴とする。

【0036】第9の発明の装置は、第1または第4の発明の波形整形装置において、前記第2可変遅延回路の後に順次縦続接続され、しかも前記第2可変遅延回路と同一に構成され、遅延量を制御する信号として前記制御信号が入力される、 N (≥ 1) 個の第3可変遅延回路と、前記SRフリップフロップを第1SRフリップフロップとし、前記 N 個の第3可変遅延回路の中の M ($1 \leq M \leq N$) 個の入力側と出力側とに、セット端子とリセット端子がそれぞれ接続された M 個の第2SRフリップフロップと、をさらに備えることを特徴とする。

【0037】第10の発明の装置は、第9の発明の波形

整形装置において、前記N個が偶数個であり、しかも、前記M個が $N/2$ 個であり、前記第1SRフリップフロップおよび前記M個の第2SRフリップフロップは、第2可変遅延回路と前記N個の第3可変遅延回路とで構成される縦続接続された可変遅延回路の群の中の一つおきに接続されており、前記一定比率は、 $1/(N+2)$ に設定されており、前記波形整形装置は、前記第1SRフリップフロップおよび前記M個の第2SRフリップフロップの出力信号の論理和を算出して出力する論理和回路を、さらに備えることを特徴とする。

【0038】第11の発明の装置は、外部から入力される入力クロックの波形を変換し、出力クロックとして出力する波形整形装置において、前記入入力クロックのアクティブレベルへの立ち上がりに同期してワンショットパルスを出力するワンショットパルス回路と、前記ワンショットパルスを入力し、制御信号とともに単調に変化する遅延量をもって遅延させて第1遅延クロックとして出力し、しかも、遅延量の上限が前記入入力クロックの1周期を超え2周期未満に設定されている第1可変遅延回路と、前記ワンショットパルスまたは前記遅延クロックのいずれか一方を入力し、最後部の信号の遅延量が前記第1可変遅延回路の遅延量に対して1未満の一定比率を保つように、前記制御信号に応じて変化する遅延幅で、順次遅延する遅延信号列を出力する第2可変遅延回路と、前記ワンショットパルスと前記遅延クロックとの位相を比較して、その結果に応じて前記制御信号を生成して送出する制御部と、前記第2可変遅延回路に入力されるクロックおよび前記遅延信号列の論理和を算出し、前記出力クロックとして出力する論理和回路と、を備え、前記制御部は、前記遅延クロックの位相の方が遅れているときには、前記第1可変遅延回路の遅延量が減少する方向に前記制御信号を変化させ、前記遅延クロックの位相の方が早まっているときには、前記第1可変遅延回路の遅延量が増加する方向に前記制御信号を変化させることを特徴とする。

【0039】第12の発明の装置は、第1、第4、または第11の発明の波形整形装置において、前記制御部と前記第2可変遅延回路の間に介挿され、前記制御部が送出する前記制御信号にオフセット信号を重畳して、前記第2可変遅延回路へと送出するオフセット生成部を、さらに備えることを特徴とする。

【0040】第13の発明の装置は、第12の発明の波形整形装置において、前記オフセット信号の値は、外部から入力される信号に応じて可変であることを特徴とする。

【0041】第14の発明の装置は、第13の発明の波形整形装置において、前記第1可変遅延回路の遅延量の上限に対する、前記入入力クロックの2周期未満という制限を外し、前記制御信号の初期値を、前記遅延量を最小にする値に設定する手段を、さらに備えることを特徴と

する。

【0042】第15の発明の装置は、外部から入力される入力クロックの波形を変換し、出力クロックとして出力する波形整形装置において、前記入入力クロックを入力し、制御信号とともに単調に変化する遅延量をもって遅延させて遅延クロックとして出力し、しかも、遅延量の上限が前記入入力クロックの1周期未満に設定されている可変遅延回路と、前記入入力クロックと前記遅延クロックが、それぞれセット端子とリセット端子に入力され、出力信号を前記出力クロックとして出力するSRフリップフロップと、前記出力クロックを積分して出力する積分器と、当該積分器の出力が一方入力に接続されており、当該一方入力の値が他方入力の値よりも大きいときには前記可変遅延回路の遅延量を減らし、前記一方入力の値の方が小さいときには前記可変遅延回路の遅延量を増やす方向に、前記一方入力と他方入力の値の差を増幅し、前記制御信号として出力する差動増幅器と、を備えることを特徴とする。

【0043】第16の発明の装置は、第15の発明の波形整形装置において、一定値の信号を生成し前記他方入力へと入力する基準信号生成部を、さらに備えることを特徴とする。

【0044】第17の発明の装置は、外部から入力される入力クロックの波形を変換し、出力クロックとして出力する波形整形装置において、縦続接続された単位遅延素子の群を有し、前記入入力クロックを前記単位遅延素子の一定数ごとに順次遅延させて得られる信号列を出力する固定遅延回路と、前記固定遅延回路に接続され、二進数で表現されたデジタル形式の選択信号に 응답して、遅延量が前記二進数と単調な関係をもつように、前記信号列の中から一つを選択し、遅延クロックとして出力するセレクタと、を備え、前記入入力クロックと前記遅延クロックが、それぞれセット端子とリセット端子へ入力され、出力信号を前記出力クロックとして出力するSRフリップフロップと、前記出力クロックのレベルに応じて、前記入入力クロックよりも短い周期で、カウントアップとカウントダウンとを選択的に実行する第1カウンタと、前記第1カウンタがオーバーフローおよびアンダーフローするたびに、前記出力クロックのデューティ比における50%からの偏差を解消する方向に、カウント値の増加と減少の一方と他方とを選択的にを行い、当該カウント値を前記選択信号として送出する第2カウンタと、を備えたことを特徴とする。

【0045】第18の発明の装置は、第1、第4、第15、または第17の発明の波形整形装置において、前記SRフリップフロップが、前記セット端子および前記リセット端子のそれぞれに入力されるクロックのアクティブレベルへの立ち上がりに同期してワンショットパルスを生成する2個のワンショットパルス回路を、備えることを特徴とする。

【0046】第19の発明の装置は、第1、第4、第15、または第17の発明の波形整形装置において、前記SRフリップフロップが、リセット優先型のSRフリップフロップであることを特徴とする。

【0047】第20の発明の装置は、第1、第4、第15、または第17の発明の波形整形装置において、外部から入力された前記入力クロックのアクティブレベルへの立ち上がりに同期してワンショットパルスを出力するワンショットパルス回路をさらに備え、前記入力クロックの代わりに、前記ワンショットパルスが、前記ワンショットパルス回路を除く前記波形整形装置の各部へ供給されることを特徴とする。

【0048】第21の発明の装置は、第1または第4の発明の波形整形装置において、前記一定比率が1/4に設定されており、前記SRフリップフロップが、2入力端子に入力された信号の排他的論理和を算出して前記出力信号として出力する排他的論理和回路に置き換えられ、前記セット端子と前記リセット端子が前記2入力端子に置き換えられたことを特徴とする。

【0049】第22の発明の装置は、外部から供給された入力クロックがクロックドライバで増幅され、さらにクロック配線を通じて伝播する過程で生じる遅延を補償するクロック供給装置において、前記入力クロックが一方入力へ入力され、前記クロック配線の一点からフィードバックされたクロックが他方入力へ入力され、前記一方入力に対して前記他方入力のクロックの位相が早い遅いかに応じて、前記入力クロックの位相を遅れる方向または早める方向に、それぞれずらして出力するDLL装置と、前記DLL装置が出力するクロックのデューティ比を一定値に変換して、前記クロックドライバへと出力する波形整形装置と、を備えることを特徴とする。

【0050】第23の発明の装置は、第22の発明のクロック供給装置において、前記波形整形装置が、第1、第4、第11、第15、または、第17の発明の波形整形装置であることを特徴とする。

【0051】第24の発明の装置は、外部から供給された入力クロックがクロックドライバで増幅され、さらにクロック配線を通じて伝播する過程で生じる遅延を補償するクロック供給装置において、縦続接続された単位遅延素子の群を有し、前記入力クロックを前記単位遅延素子の一定数ごとに順次遅延させて得られる信号列を出力する固定遅延回路と、二進数で表現されたデジタル形式の第1選択信号にตอบสนองして、遅延量が前記二進数とともに線型に増加するように、前記信号列の中から一つを選択し、第1遅延クロックとして出力する第1セレクタと、二進数で表現されたデジタル形式の第2選択信号にตอบสนองして、しかも前記第1選択信号と同一の関係をもって、前記信号列の中から一つを選択し、第2遅延クロックとして出力する第2セレクタと、前記入力クロックが一方入力へ入力され、前記クロック配線の一点からフィ

ードバックされたクロックが他方入力へ入力され、前記一方入力に対して前記他方入力のクロックの位相が早い遅いかに応じて、前記第1選択信号をそれぞれ増加または減少させる第1選択信号生成部と、前記入力クロックの周期を測定し、前記信号列の中から前記周期の半分の遅延量をもつ一つを選択可能な選択信号を生成し、第3選択信号として出力する周期測定部と、前記第1選択信号に前記第3選択信号を加算し、前記第2選択信号として出力する第2選択信号生成部と、前記第1および第2遅延クロックが、それぞれセット端子およびリセット端子へ入力され、出力信号を前記クロックドライバへと出力するSRフリップフロップと、を備えることを特徴とする。

【0052】第25の発明の装置は、第24の発明のクロック供給装置において、前記周期測定部が、前記固定遅延回路を第1固定遅延回路とし、縦続接続された単位遅延素子の群を有し、前記入力クロックを前記単位遅延素子の一定数ごとに順次遅延させて得られる信号列を出力し、しかも、当該信号列の遅延量が前記第1固定遅延回路の信号列の遅延量と同一の第2固定遅延回路と、二進数で表現されたデジタル形式の第4選択信号にตอบสนองして、しかも前記第1選択信号と同一の関係をもって、前記信号列の中から一つを選択し、第3遅延クロックとして出力する第3セレクタと、前記入力クロックが一方入力へ入力され、前記第3遅延クロックが他方入力へ入力され、前記一方入力に対して前記他方入力のクロックの位相が早い遅いかに応じて、前記第4選択信号をそれぞれ増加または減少させる第4選択信号生成部と、前記第4選択信号を、二進数としての半分の値に変換し、前記第3選択信号として出力する割算器と、を備えることを特徴とする。

【0053】

【発明の実施の形態】

<1.実施の形態1>図2は、実施の形態1のクロック供給装置の構成を示すブロック図である。なお、以下の図において、図47～図54に示した従来装置と同一部分には、同一の符号を付して、その詳細な説明を略する。

【0054】図2において、1はDLL装置、2は波形整形装置、3はクロックドライバ、4はクロック配線、6はクロック入力端子、7はフィードバック配線、8はDLL装置出力配線、9はクロックドライバ入力配線、CLは外部から入力される入力クロック（外部クロック）、FBはフィードバッククロック、INは波形整形装置2へ入力される入力クロック、OUTは波形整形装置2から出力される出力クロック、そして、501はクロック供給装置である。

【0055】また、5はクロック供給装置501に接続され、クロック供給装置501から供給されるクロックに同期して動作する対象装置（システム）である。対象装置5は、例えば図1に示すように、クロックに同期し

て動作する多数のラッチLを備えている。LSI等の規模の大きい素子では、ラッチLの個数は、通常数千ないしそれ以上である。このため、クロック配線4は、通常においてクロックツリーの形態をなしている。

【0056】DLL装置1およびクロックドライバ3は、図47に示したように、いずれも従来周知の装置である。また、波形整形装置2は、任意のデューティ比を有する入力クロックINを、50%のデューティ比をもつクロックに変換するデューティ比回復装置として構成されている。したがって、クロック供給装置501から対象装置5へは、50%のデューティ比を有するクロックが供給される。

【0057】さらに、クロック配線4内の一点からクロック信号がフィードバッククロックFBとして、DLL装置1の2入力の一つへと戻されている。すなわち、クロック供給装置501では、DLL装置1とクロックドライバ3との間に波形整形装置2が介挿されている点が、従来のクロック供給装置551とは、特徴的に異なっている。

【0058】このクロック供給装置501の各部の信号波形を、図3のタイミングチャートに示す。図3において、Tは入力クロックCLの周期である。波形整形装置2の働きによって、デューティ比が50%となるように入力クロックINが波形整形された上で、出力クロックOUTとして出力される。その結果、フィードバッククロックFB、すなわち、クロック配線4の一点におけるクロックのデューティ比も50%に変換されている。

【0059】しかも、DLL装置1の働きによって、フィードバッククロックFBの位相は、入力クロックCLの位相等価的に一致する。図3の例では、フィードバッククロックFBは、入力クロックCLに2周期分遅れることで、等価的な位相差が解消されている。

【0060】以上のように、クロック供給装置501では、あたかもDLL装置1のループの中に、波形整形装置2が挿入されたように構成されているために、DLL装置1による遅延補償機能を損なうことなく、クロックのデューティ比が50%へと回復される。しかも、波形整形装置2によって生じるクロックの遅延をも含めて、入力クロックCLとフィードバッククロックFBとの間の遅延が等価的に解消されるという利点がある。

【0061】クロック供給装置501を用いることによって、デューティ比が50%でしかも遅延補償がなされたクロックが対象装置5へと供給されるので、遅延補償を必要とする対象装置5がクロックの立ち上がり同期する装置部分と立ち下がり同期する装置部分とを有する場合に、その動作速度を高めることができる。

【0062】＜2.実施の形態2＞つぎに、実施の形態2の波形整形装置について説明する。

【0063】＜2-1.装置の全体＞図1は、実施の形態2の波形整形装置の構成を示すブロック図である。この波

形整形装置502は、入力クロックのデューティ比を50%に変換して出力するデューティ比回復装置として構成されており、上述したクロック供給装置501の波形整形装置2としての利用に適している。

【0064】図1に示すように、装置502は、主としてアナログ回路によって構成されている。図1において、10はクロック入力端子、11は第1可変遅延回路、12は第2可変遅延回路、13は制御部、14はSRフリップフロップ、15は位相比較器、16はチャージポンプ回路、17はループフィルタ、18は制御信号線、19はクロック出力端子、Vinは制御信号、OUT_Aは第1遅延回路11の出力クロック、そして、OUT_Bは第2遅延回路12の出力クロックである。

【0065】ループフィルタ17が出力する制御信号Vinは、第1可変遅延回路11と第2可変遅延回路12の双方に共通に入力される。そして、第1可変遅延回路11は、クロック入力端子10より入力される入力クロックINを、制御信号Vinに応じた遅延量をもって遅延させ、出力クロックOUT_Aとして出力する。同様に、第2可変遅延回路12は、入力される出力クロックOUT_Aを、制御信号Vinに応じた遅延量をもってさらに遅延させ、出力クロックOUT_Bとして出力する。

【0066】しかも、これら第1可変遅延回路11と第2可変遅延回路12は、同一大きさの制御信号Vinの下で、第2可変遅延回路12の遅延量がつねに第1可変遅延回路11の遅延量の半分となるように構成されている。すなわち、第1可変遅延回路11の遅延量delay(A)と、第2可変遅延回路12の遅延量delay(B)との間には、つねに、 $\{delay(A) = 2 \cdot delay(B)\} \cdots$ (数式1)、の関係が維持される。さらに、第1可変遅延回路11の最大可変遅延量は、入力クロックINのクロック周期（例えば、100MHzクロックなら10ns）よりも大きく、しかも周期の2倍未満となるように設定される。

【0067】制御部13に備わる位相比較器15、チャージポンプ回路16、ループフィルタ17は、それぞれ、従来装置551における位相比較器202、チャージポンプ回路203、ループフィルタ204と同様に動作する装置部分である。位相比較器15は、入力クロックINと出力クロックOUT_Aとの間で位相の比較を行い、その結果に応じて、アップ信号UPまたはダウン信号DWNを送出する。

【0068】チャージポンプ回路16は、これらのアップ信号UP、ダウン信号DWNを、電流パケットに変換して、ループフィルタ17へと出力する。ループフィルタ17は、入力された電流パケットの積算量に対応した電圧信号を制御信号Vinとして出力する。

【0069】SRフリップフロップ14のセット端子SETには出力クロックOUT_Aが入力され、リセット

端子RSTには、出力クロックOUT__Bが入力される。そして、SRフリップフロップ14の非反転出力端子Qの出力が、クロック出力端子19を通じて、出力クロックOUTとして外部へ出力される。なお、SRフリップフロップ14には、リセット優先のSRフリップフロップが用いられる。

【0070】図4は波形整形装置502の各部の信号波形を示すタイミングチャートである。図4において、Tは入力クロックINの周期である。入力クロックINとして、一般には、必ずしも50%ではないデューティ比を有するクロックが入力される。

【0071】制御部13には、入力クロックINと出力クロックOUT__Aとが入力され、制御部13が出力する制御信号Vinは、第1可変遅延回路11に出力されるので、第1可変遅延回路11と制御部13とは一種のDLL装置を構成する。このため、出力クロックOUT__Aと入力クロックINとの間で位相が見かけ上一致する。

【0072】第1可変遅延回路11の最大可変遅延量は入力クロックINの2周期分未満に設定されているために、出力クロックOUT__Aは入力クロックINから1周期分(=T)遅延することで、位相の等価的な一致が得られる。そして、第2可変遅延回路12の遅延量は、数式1の関係にしたがって、周期Tの半分(=T/2)となる。

【0073】SRフリップフロップ14は、出力クロックOUT__Aの立ち上がり(0から1への遷移)に同期してセットされ、出力クロックOUT__Bの立ち上がりに同期してリセットされる。このため、非反転出力端子Qの出力すなわち出力クロックOUTは、出力クロックOUT__Aの立ち上がりに同期して立ち上がり、出力クロックOUT__Bの立ち上がりに同期して立ち下がる(1から0へ遷移する)。その結果、出力クロックOUTの立ち上がり期間(1である期間)は、周期Tの半分となる。すなわち、出力クロックOUTのデューティ比は50%となる。

【0074】以上のように、波形整形装置502は、入力クロックINの任意のデューティ比を50%に変換して出力するデューティ比回復装置として機能する。

【0075】なお、第1可変遅延回路11の遅延量の初期値としては、最小の遅延量に設定するのが望ましい。言い替えると、制御信号Vinの初期値は、最も高い値に設定するのが望ましい。これは、安全を考慮したものであり、第1可変遅延回路11の最大遅延量が正しく周期Tの2倍未満であれば必要でない。製造誤差などの関係で、もしも、可変遅延回路11の最大遅延量が周期Tの2倍以上になることがあると、位相が安定にロックするポイント(遅延量)が単一ではなくなる。その結果、所望の動作をしなくなる恐れが生じる。この場合においても、もしも、遅延量の少ない方から動作が開始するよ

うになっておれば、周期Tを超える遅延量でロックすることはなく、周期Tの遅延量で安定的にロックされるという利点が生まれる。

【0076】この目的のためには、例えば、パワーオンリセット回路を追加的に設け、このパワーオンリセット回路が発生するパルスを利用して、電源投入時に制御信号Vinが高電位側電源線の電位にまで達するように、ループフィルタ17を予備的にチャージアップするようにするとよい。あるいは、パワーオンリセット回路を設ける代わりに、外部から与えられるリセット信号を利用して、同様にループフィルタ17を予備的にチャージアップするように構成してもよい。

【0077】<2-2.可変遅延回路：その1>図5は、波形整形装置502の可変遅延回路11、12に好適な、可変遅延回路の構成を示す回路図である。

【0078】可変遅延回路20は、バイアス回路部21、第1可変遅延回路11、および第2可変遅延回路12を備えている。すなわち、可変遅延回路20では、第1可変遅延回路11と第2可変遅延回路12とが単一の装置の中に組み込まれている。

【0079】バイアス回路部21は、高電位電源線と接地電位電源線との間に直列に接続されたNMOSトランジスタ26とPMOSトランジスタ27とを備えている。そして、PMOSトランジスタ27のゲート電極とドレイン電極とは互いに短絡されている。また、制御信号VinがNMOSトランジスタ26のゲート電極へと入力されている。

【0080】可変遅延回路20は、さらに、互いに縦続接続された複数の単位遅延回路を備えており、しかも、その初段からある段までの前半部分によって第1可変遅延回路11が構成され、前半部分の半分の単位遅延回路を有する後半部分によって第2可変遅延回路12が構成されている。出力クロックOUT__Aは、前半部分と後半部分の接続部から得られ、出力クロックOUT__Bは最終段から得られる。

【0081】各単位遅延回路は、インバータ25を備えている。このインバータ25は、ドレイン電極が互いに接続されるとともに、ゲート電極が互いに接続されたNMOSトランジスタとPMOSトランジスタとで構成されている。そして、インバータ25を構成するPMOSトランジスタのソース電極と高電位電源線の間にもう一つのPMOSトランジスタ24が介挿され、同じくNMOSトランジスタのソース電極と接地電位電源線の間にもう一つのNMOSトランジスタ23が介挿されている。

【0082】インバータ25の初段のゲート電極には入力クロックINが入力される。そして、各インバータ25は、前段のドレイン電極が次段のゲート電極に接続される形態で、互いに縦続接続されている。また、バイアス配線29を通じて、すべてのPMOSトランジスタ2

4およびPMOSトランジスタ27のゲートは、互いに接続されている。同様に、バイアス配線28を通じて、すべてのNMOSトランジスタ23およびNMOSトランジスタ26のゲート電極は、互いに接続されている。

【0083】可変遅延回路20はつぎのように動作する。すなわち、バイアス回路部21には、電圧信号である制御信号 V_{in} の大きさに応じた大きさの電流が、高電位電源線から接地電位電源線へと流れる。PMOSトランジスタ27のゲート電極はドレイン電極と短絡されているために、バイアス回路部21を流れる電流によって、制御信号 V_{in} に相当するバイアス電圧がPMOSトランジスタ27のゲート電極に印加される。

【0084】これらの制御信号 V_{in} およびバイアス電圧が、すべてのNMOSトランジスタ23およびPMOSトランジスタ24のゲート電極に、それぞれ共通に供給されるために、バイアス回路部21を流れる電流と同じ大きさの電流が各単位遅延回路を流れる。すなわち、制御信号 V_{in} によって、すべての単位遅延回路を流れる電流の大きさが共通に調整される。単位遅延回路を流れる電流は、インバータ25の電源電流として寄与する。

【0085】電源電流が大きいほどインバータ25の伝搬遅延時間は短縮される。したがって、制御信号 V_{in} が大きいほど、単位遅延回路における遅延量は短縮される。遅延量は、すべての単位遅延回路の間で制御信号 V_{in} によらずに常に互いに共通であるために、第2可変遅延回路12の遅延量はつねに第1可変遅延回路11の半分となる。すなわち、可変遅延回路20は、数式1の関係を保ちつつ、制御信号 V_{in} に応じた遅延量を得ることができる。

【0086】このように、可変遅延回路20では、第1可変遅延回路11と第2可変遅延回路12とに、同一構造の単位遅延回路が2:1の個数で備わり、しかも、すべての単位遅延回路の間で遅延時間が共通となるように、共通の大きさの電源電流が供給されるために、数式1の関係が常に精密に実現する。また、第1可変遅延回路11と第2可変遅延回路12との間で、バイアス回路部21が共有されるので、素子の個数が削減されるという利点も、同時に得られる。

【0087】また、図5の回路図をあたかもレイアウト図とみたとて、可変遅延回路20を構成する各素子および配線を、図5の通りにレイアウトすることが、さらに望ましい。このようにレイアウトを行うことによって、バイアス配線28、29も一直線に配設され、レイアウトのコンパクト化が実現すると同時に、信号同士のカップリングなどのノイズの要因も解消ないし緩和される。

【0088】<2-3.可変遅延回路:その2>図6は、波形整形装置502への利用に適したもう一つの変遅延回路の構成を示す回路図である。この可変遅延回路30では、バイアス回路部31の構成が、可変遅延回路20

とは特徴的に異なっている。すなわち、バイアス回路部31は、高電位電源線と接地電位電源線との間に介挿される2段の直列回路を有している。

【0089】前段の直列回路では、PMOSトランジスタ34、NMOSトランジスタ33、および抵抗素子32が、この順序で直列に接続されている。そして、制御信号 V_{in} がNMOSトランジスタ33のゲート電極に入力されており、PMOSトランジスタ34のゲート電極とドレイン電極は短絡されている。

【0090】後段の直列回路では、PMOSトランジスタ36とNMOSトランジスタ35とが、直列に接続されている。そして、PMOSトランジスタ36のゲート電極はPMOSトランジスタ34のゲート電極に接続されており、NMOSトランジスタ35のゲート電極とドレイン電極とは短絡されている。

【0091】PMOSトランジスタ36のゲート電極はバイアス配線29を通じてすべてのPMOSトランジスタ24のゲート電極に接続され、同様に、NMOSトランジスタ35のゲート電極はバイアス配線28を通じてすべてのNMOSトランジスタ23のゲート電極に接続されている。

【0092】バイアス回路部31では、制御信号 V_{in} が入力されるNMOSトランジスタ33と接地電位電源線との間に、ソース抵抗としての抵抗素子32が介挿されているために、制御信号 V_{in} と線型な関係をなす電流が抵抗素子32を流れる。PMOSトランジスタ34とPMOSトランジスタ36とで構成されるカレントミラー回路によって、前段の電流が後段の直列回路に反映される。さらに、NMOSトランジスタ35とNMOSトランジスタ23とで構成されるカレントミラー回路によって、後段の直列回路を流れる電流が、各単位遅延回路へと反映される。

【0093】このようにして、可変遅延回路30では、制御信号 V_{in} で調整された電流と同じ大きさの電流が各単位遅延回路へと流れるように構成されている。しかも、制御信号 V_{in} と電流との間の関係が、主として抵抗素子32によって規定されるので、各単位遅延回路に供給される電流と制御信号 V_{in} との間の線型性が良好であるという利点がある。

【0094】なお、以上の第1可変遅延回路11および第2可変遅延回路12の例では、制御信号 V_{in} が増加するのにもなって、遅延量が減少するように構成されていたが、その逆の関係であってもよい。このとき、制御部13は、位相差に応じて制御信号 V_{in} を、上記した例とは逆方向に変化させるように構成すればよい。すなわち、一般に、第1可変遅延回路11および第2可変遅延回路12は、それらの遅延量が、制御信号 V_{in} とともに単調に変化し、しかも、同一の制御信号 V_{in} の下で後者の遅延量が前者の1未満の一定の比率を保つように設定されておればよい。

【0095】<3.実施の形態3>つぎに、実施の形態3の波形整形装置について説明する。

【0096】<3-1.装置の全体>図7は、この実施の形態の波形整形装置の構成を示すブロック図である。この波形整形装置503も、入力クロックのデューティ比を50%に変換して出力するデューティ比回復装置として構成されており、上述したクロック供給装置501の波形整形装置2としての利用に適している。図7において、41は第1可変遅延回路、42は第2可変遅延回路、43は制御部、45はADコンバータ、48は制御信号線、そして、Sinは制御信号である。

【0097】波形整形装置503では、ループフィルタ17の出力であるアナログ形式の制御信号Vinが、ADコンバータ45によってデジタル形式の制御信号Sinに変換され、この制御信号Sinが、第1可変遅延回路41と第2可変遅延回路42とに共通に供給されている。そして、第1可変遅延回路41と第2可変遅延回路42は、ともに、デジタル信号のみを処理するデジタル回路として構成されている。第1可変遅延回路41と第2可変遅延回路42とが、それらの遅延量の間に数式1の関係が維持されるように構成されている点は、波形整形装置502と同様である。

【0098】<3-2.可変遅延回路：その1>図8は第1可変遅延回路41の構成を示す回路図である。図8に示すように、第1可変遅延回路41は、セレクト47とインバータ46の組合わせで構成されている。入力クロックINは、縦続接続されたインバータ（単位遅延素子；この例ではCMOSインバータ回路）46の初段に入力され、インバータ46を通過することにより、インバータ46の伝搬遅延時間分だけ遅延量が加算されて行く。

【0099】インバータ46の伝搬遅延時間については、近年の微細化プロセスの下で、0.1~0.2nsという小さな値が実現されているために、波形整形装置502に用いられる第1可変遅延回路41として、十分な分解能が得られる。

【0100】縦続接続された多数のインバータ46の一定個数（ただし偶数：図8の例では4個）ごとに、出力が引き出され、信号列としてセレクト47の多入力端子へと導かれる。図8の例では、これらの出力が、入力クロックINと同一論理（正負が非反転）で第1可変遅延回路41へと導かれるように、一個のインバータ46を介してセレクト47へと入力されている。

【0101】セレクト47は、多入力端子に入力された一定時間ずつ遅延量の異なる多数のクロックの中から、選択信号として入力される制御信号Sinによって指定された一つを選択して、出力クロックOUT_Aとして出力する。例えば、制御信号Sinの数値が高くなるほど、遅延量の少ないクロックを選択して出力するように構成される。このように、第1可変遅延回路41は、インバータ46で構成される固定遅延回路とセレクト47

とを備えている。

【0102】図9は、第2可変遅延回路42の構成を示す回路図である。第2可変遅延回路42も、第1可変遅延回路41と同様に、インバータ46で構成される固定遅延回路とセレクト47とを備えている。ただし、第1可変遅延回路41に比べて半数（ただし偶数；図9の例では2個）のインバータ46ごとに、出力がセレクト47へと引き出されている。

【0103】すなわち、第2可変遅延回路42では、セレクト47の多入力端子へ入力されるクロックの遅延量は、第1可変遅延回路41の半分となるように構成されている。したがって、同一の制御信号Sinの値に対して、第1可変遅延回路41と第2可変遅延回路42との遅延量は、つねに数式1の関係を満たす。

【0104】以上のように、波形整形装置503では、第1可変遅延回路41および第2可変遅延回路42が、デジタル信号のみを処理するデジタル回路で構成されるので、数式1の関係が精密に成り立つとともに、遅延量と制御信号Vinとの間の線型性も良好であるという利点が得られる。また、デジタル信号が処理対象とされるので、バイアス配線に電氣的ノイズが重畳することによってジッタが生じるなどの問題点が解消ないし緩和され、電氣的雑音の影響を受けにくい装置が実現する。

【0105】また、製造工程において、ディジタル回路のために通常準備されるスタンダードセル・ライブラリが有効に利用でき、製造工程が容易化されるという利点も同時に得られる。

【0106】<3-3.可変遅延回路：その2>図10および図11は、それぞれ第1および第2可変遅延回路の別の構成例を示す回路図である。これらの第1、第2可変遅延回路51、52も、インバータ46とセレクト53の組合わせで構成されている。ただし、第1、第2可変遅延回路51、52の間で、縦続接続されたインバータ46とセレクト53との間の関係が全く同一に構成されている点が、第1および第2可変遅延回路41、42とは特徴的に異なっている。

【0107】そして、一方の第1可変遅延回路51のセレクト53には、選択信号として制御信号Sinを構成する全てのビット信号が入力される。これに対し、他方の第2可変遅延回路52のセレクト53には、制御信号Sinの最上位ビットは与えられず、残りが1ビットだけシフトして与えられ、最下位ビットは用いることなく捨てられる。

【0108】これらの第1、第2可変遅延回路51、52では、制御信号SinがADコンバータ45によって、2進数に則って与えられ、しかも並列（パラレル）信号として送出されることを条件としている。したがって、第2可変遅延回路42のセレクト53に入力される選択信号は、第1可変遅延回路51のセレクト53に入力される選択信号の1ビットシフトした値、すなわち2

で割った値に相当する。したがって、第2可変遅延回路52では、第1可変遅延回路51の半分の遅延量がつねに得られる。

【0109】第1、第2可変遅延回路51、52は、選択信号端子と制御信号 S_{in} を伝送する制御信号線48(図7)との間の接続関係を除いて、互いに全く同一に構成されるので、装置の製造工程がさらに簡略化されるという利点を得られる。特に、製造工程の中の設計段階の効率、すなわち設計効率が高められるという利点がある。

【0110】<4.実施の形態4>図12は、波形整形装置503の制御部43を、デジタル信号処理のみを実行するデジタル回路で構成した例を示すブロック図である。図12において、55はDラッチ、56は第1カウンタ、57は第2カウンタ、そして、58はインバータである。

【0111】波形整形装置514では、波形整形装置502における位相比較器15の代わりに、単純なDラッチ55が用いられている。Dラッチ55は、データ入力端子に入力される出力クロック OUT_A の値を、クロック入力端子に入力される入力クロック IN に同期してラッチする。

【0112】図13および図14は、Dラッチ55の動作を説明するタイミングチャートである。図13に示すように、出力クロック OUT_A の入力クロック IN に対する遅延量が、周期 T よりもある時間 t_4 だけ短いとき、すなわち周期 T 未満であるときには、Dラッチ55の非反転出力端子 Q の出力は、それまでの値とは無関係に、入力クロック IN の立ち上がり同期して値“1”の値に定まる。いうまでもなく、反転出力端子 Q^* の出力も、それと同時に値“0”に定まる。

【0113】一方、図14に示すように、遅延量が、周期 T よりもある時間時間 t_4 だけ長いとき、すなわち周期 T を超えるときには、非反転出力端子 Q の出力は、それまでの値とは無関係に、入力クロック IN の立ち上がり同期して値“0”の値に定まる。すなわち、遅延量が周期 T に満たないときには、非反転出力端子 Q は値“1”を出力し続け、逆に、周期 T を超えるときには、値“0”を出力し続ける。

【0114】図12に戻って、第1、第2カウンタ56、57は、いずれもアップダウン型のカウンタとして構成されている。第1カウンタ56は、Dラッチ55の非反転出力端子 Q および反転出力端子 Q^* がそれぞれアクティブ(前者では値“1”、後者では値“0”)であるときに、アップ端子 UP およびダウン端子 DWN がアクティブとなるように、論理の調整を行うインバータ58を介してDラッチ55に結合している。

【0115】そして、第1カウンタ56では、アップ端子 UP がアクティブである期間では、クロック端子に入力される入力クロック IN に同期したカウントアップが

継続的に行われる。そして、オーバーフローするたびに、オーバーフロー端子 OVR からアクティブの値(例えば値“1”)が出力される。

【0116】逆に、ダウン端子 DWN がアクティブである期間では、クロック端子に入力される入力クロック IN に同期したカウントダウンが継続的に行われる。そして、アンダーフローするたびに、アンダーフロー端子 UND からアクティブの値が出力される。すなわち、第1可変遅延回路41における遅延量が周期 T 未満であるときには、第1カウンタ56はカウントアップをしつづけ、逆に周期 T を超えるときには、カウントダウンをしつづける。そして、周期 T の一定倍数に対応する一定期間ごとに、オーバーフロー端子 OVR またはアンダーフロー端子 UND からアクティブ信号が出力される。

【0117】第2カウンタ57は、インバータ58のオーバーフロー端子 OVR およびアンダーフロー端子 UND がそれぞれアクティブであるときに、アップ端子 UP およびダウン端子 DWN がアクティブとなるように、論理の調整を行うインバータ58を介してDラッチ55に結合している。また、第2カウンタ57のクロック端子には、入力クロック IN が入力されている。そして、カウントされた数値は制御信号 S_{in} として第1可変遅延回路41および第2可変遅延回路42(図7)へと送出される。

【0118】したがって、第1カウンタ56がオーバーフローするたびに、入力クロック IN に同期して制御信号 S_{in} の値は“1”ずつ増加し、アンダーフローするたびに、“1”ずつ減少する。すなわち、第1可変遅延回路41の遅延量が周期 T に足りない期間では、制御信号 S_{in} は一定期間ごとに値“1”ずつ増加をつづけ、逆に、遅延量が周期 T を超えて過度である期間では、制御信号 S_{in} は一定期間ごとに値“1”ずつ減少をつづける。以上のように、図12に示した装置は、波形整形装置503(図7)の制御部43と同一の機能を果たす。

【0119】この装置を制御部43として用いる際には、第1可変遅延回路41および第2可変遅延回路42は、制御信号 S_{in} が大きいほど遅延量が大きくなるように構成される。このことは、例えば、図8および図9において、制御信号 S_{in} が大きいほど、遅延量の小さいクロックが選択されるようにセクタ47とインバータ46との関係を設定することによって容易に達成される。

【0120】図12において、Dラッチ55に入力される入力クロック IN と出力クロック OUT_A とを入れ換えてもよい。このとき、他の装置部分がそのままであれば、第1可変遅延回路41の遅延量が過度であるときに制御信号 S_{in} は増加し、不足であるときに減少する。このときには、例えば、図8および図9において、制御信号 S_{in} が大きいほど、遅延量の大きいクロックが選択されるようにセクタ47とインバータ46との

関係を設定するとよい。

【0121】あるいは、Dラッチ55と第1カウンタ56との間の論理を調整するインバータ58の個数(値"0"も含めて)を調整することによっても、遅延量と制御信号Sinの変化の方向との間の関係を、自在に設定することが可能である。

【0122】図12の装置では、アナログ回路で構成され、比較的大きなレイアウト面積を占めるループフィルタ17をも含めて、制御部43(図7)のすべての要素がデジタル回路に置き換えられている。このため、図12の装置では、レイアウト面積を縮小して装置を小型化することができるという利点を得られる。また、デジタル信号を処理対象とするために、電氣的ノイズの影響を受けにくいという利点も同時に得られる。

【0123】<5.実施の形態5>図15は、波形整形装置502、503のSRフリップフロップ14への利用に適したSRフリップフロップの構成を示す回路図である。図15において、60はこの実施の形態のSRフリップフロップ、61、65、66、67はインバータ、62はNAND回路、63はNMOSトランジスタ、64はPMOSトランジスタ、GNはNMOSトランジスタ63のゲート電極へ入力されるゲート電圧、そして、GPはPMOSトランジスタ64のゲート電極へ入力されるゲート電圧である。

【0124】インバータ66はMOSトランジスタ63、64よりも駆動力が弱く(すなわち、出力抵抗が高く)設定されている。すなわち、インバータ66の出力よりもMOSトランジスタ63、64の出力が優先する。

【0125】SRフリップフロップ60では、高電位電源線と接地電位電源線との間に直列に接続されたMOSトランジスタ63、64のゲート電極が、インバータ61とNAND回路62とで構成されるワンショットパルス生成回路を介して、セット端子SETおよびリセット端子RSTにそれぞれ接続されている。MOSトランジスタ63、64の接続部は、メモリを構成するインバータ65、66に接続されている。そして、メモリが保持する信号は、インバータ67を介して非反転出力端子Qへと出力される。

【0126】図16は、SRフリップフロップ60がSRフリップフロップ14として組み込まれた波形整形装置502の動作を説明するタイミングチャートである。図16は、波形整形装置502に備わる第1可変遅延回路11が安定的なロック状態にあるときの動作を示している。

【0127】図16に示すように、入力クロックINのデューティ比が50%を超えるときには、周期Tごとにある期間dにわたって、SRフリップフロップ14のセット端子SET、リセット端子RSTの双方が同時に値"1"となる。また、入力クロックINのデューティ

比が50%未満であっても、安定的なロック状態に移行するまでの過渡的な期間では、同様に、SRフリップフロップ14の2つの端子に値"1"が同時に入力される場合がある。

【0128】このような場合に出力が不定となる通常のSRフリップフロップは、波形整形装置502のSRフリップフロップ14には適しない。このため、実施の形態2でのべたように、波形整形装置502のSRフリップフロップ14には、リセット優先型のSRフリップフロップが使用される。これに対して、この実施の形態のSRフリップフロップ60は、ワンショットパルス回路を付加することによって、2入力が同時に値"1"となることにともなう問題点を解消し、SRフリップフロップ14に適した装置としている。

【0129】図16に示すように、セット端子SETに入力される出力クロックOUT_Aの立ち上がりエッジに同期して、値"0"のワンショットパルスがPMOSトランジスタ64のゲート電極へ入力される。ゲート電圧GPにおけるこのワンショットパルスによって、PMOSトランジスタ64が瞬時の間オンする。その結果、インバータ65、66で構成されるメモリに保持される値が更新され、非反転出力端子Qに値"1"が保持される。

【0130】入力クロックINの立ち上がりエッジからT/2後に、リセット端子RSTに入力される出力クロックOUT_Bが立ち上がる。この出力クロックOUT_Bの立ち上がりエッジに同期して、値"1"のワンショットパルスがNMOSトランジスタ63のゲート電極へ入力される。ゲート電圧GNにおけるこのワンショットパルスによって、NMOSトランジスタ63が瞬時の間オンする。その結果、インバータ65、66で構成されるメモリに保持される値が更新され、非反転出力端子Qに値"0"が保持される。

【0131】以下、同様の動作が反復される結果、非反転出力端子Qには値"1"と値"0"とが、T/2ごとに交互に出力される。このように、SRフリップフロップ60では、2入力端子に値"1"が同時に入力されても、支障なく動作するので、波形整形装置502のSRフリップフロップ14としての利用に適する。さらに、SRフリップフロップ60では、素子数が比較的少なく、しかも高速であるという利点も同時に得られる。

【0132】<6.実施の形態6>図17は、波形整形装置502、503のSRフリップフロップ14への利用に適した別のSRフリップフロップの構成を示す回路図である。図17において、70はこの実施の形態のSRフリップフロップ、71、76、77、78はインバータ、72、73はNMOSトランジスタ、そして、74、75はPMOSトランジスタである。インバータ77はMOSトランジスタ72~75よりも駆動力が弱く設定されている。

【0133】SRフリップフロップ70では、高電位電源線と接地電位電源線との間に、MOSトランジスタ75～72がこの順に直列に接続されている。そして、セット端子SETはインバータ71を介してPMOSトランジスタ75のゲート電極に接続され、リセット端子RSTはNMOSトランジスタ72のゲート電極に接続されている。

【0134】また、MOSトランジスタ73、74の接続部は、メモリを構成するインバータ76、77に接続されている。そして、メモリが保持する信号は、インバータ78を介して非反転出力端子Qへと出力される。さらに、非反転出力端子Qの出力信号は、MOSトランジスタ73、74のゲート電極に共通にフィードバックされている。

【0135】このSRフリップフロップ70は、つぎのように動作する。はじめに非反転出力端子Qの値が“0”であるとする。このとき、非反転出力端子Qに接続されているPMOSトランジスタ74はオンしており、NMOSトランジスタ73はオフしている。このときに、セット端子SETに値“1”のパルスが入力されると、それと同時にMOSトランジスタ73、74の接続部の信号、すなわちメモリへの入力信号は値“1”へと遷移する。その結果、非反転出力端子Qの値も“1”へと変化する。

【0136】非反転出力端子Qの値が一旦“1”になると、PMOSトランジスタ74はオフし、NMOSトランジスタ73はオンするので、その後セット端子SETに値“1”のパルスが入力されても、非反転出力端子Qの値に変化はない。このとき、リセット端子RSTに値“1”のパルスが入力されると、NMOSトランジスタ72がオンすることによって、メモリが保持する値が反転し、その結果、非反転出力端子Qも値“0”へと反転する。

【0137】非反転出力端子Q値が一旦“0”になると、PMOSトランジスタ74はオンし、NMOSトランジスタ73はオフするので、その後リセット端子RSTに値“1”のパルスが入力されても、非反転出力端子Qの値に変化はない。以上のように、SRフリップフロップ70は、セット端子SETへ入力されるパルスの立ち上がりでセットされ、リセット端子RSTへの立ち上がりでリセットされるSRフリップフロップとして機能する。

【0138】セット端子SETとリセット端子RSTと同時に値“1”が入力されるときには、非反転出力端子Qの値がメモリの入力に論理反転されて伝達されるので値“1”、“0”、“1”、“0”、・・・と、フィードバックループに介挿される3素子分の遅延時間の約2倍の周期で発振する。このとき、SRフリップフロップ70は、あたかも一種の非同期のTフリップフロップとして動作する。すなわち、SRフリップフロップ7

0は、汎用性の高い非同期JKフリップフロップの一形態となっている。

【0139】このSRフリップフロップ70に素子を付加することによって、リセット優先のSRフリップフロップとすることが可能である。図18にその一例を示す。図18に示すSRフリップフロップ80では、SRフリップフロップ70におけるインバータ71がNAND回路82に置き換えられ、さらに、リセット端子RSTがインバータ81を介してNAND回路82の2入力的一方に接続されている。また、リセット端子RSTに接続されるインバータ81の出力とNMOSトランジスタ83のゲート電極とが、もう一つのインバータ81を介して接続されている。

【0140】このようにSRフリップフロップ70に簡単な論理回路を付加することによって、リセット優先のSRフリップフロップが得られる。

【0141】<7.実施の形態7>図19は、実施の形態7の波形整形装置の構成を示すブロック図である。この波形整形装置504では、入力クロックINを受信する入力端子と波形整形装置502との間に、ワンショットパルス回路90が介挿されている。

【0142】ワンショットパルス回路90は、図19に示すように、インバータ91、93、およびNAND回路92の組合わせで構成される。すなわち、ワンショットパルス回路90は、図15に示したワンショットパルス回路と同様に構成される。ワンショットパルス回路90の働きによって、第1可変遅延回路11および位相比較器15に入力される入力信号ISは、入力クロックINそのものではなく、入力クロックINに同期して出力されデューティ比が十分に小さいワンショットパルスとなる。

【0143】図20は、この波形整形装置504の動作を説明するタイミングチャートである。入力信号ISは、入力クロックINのデューティ比の大きさに関わりなく、入力クロックINの立ち上がり同期して立ち上がるデューティ比の短いワンショットパルスとなる。その結果、出力クロックOUT_Aは、この入力信号ISが遅延したものとなる。

【0144】同様に、出力クロックOUT_Bは、出力クロックOUT_Aにさらに遅延が付加されたものとなる。図20では、安定的にロックした状態を例示しているために、出力クロックOUT_Aは、入力信号ISに対して周期Tだけ遅れ、出力クロックOUT_BはさらにT/2だけ遅れている。出力クロックOUT_A、出力クロックOUT_Bともに、入力信号ISと同じ波形が維持されるので、それらのデューティ比は十分に小さい。

【0145】したがって、SRフリップフロップ14のセット端子SETおよびリセット端子RSTともに値“1”となることによる弊害は除去される。すなわち、S

Rフリップフロップ14としてリセット優先のSRフリップフロップを用いることなく、安価な通常のSRフリップフロップを使用することが可能となる。

【0146】なお、波形整形装置502のSRフリップフロップ14の2入力、ハイアクティブ(値"1"への立ち上がりで動作する)である代わりに、ロウアクティブである場合には、ワンショットパルス回路は、入力クロックINの論理を反転したワンショットパルスを出力するように構成するとよい。それには、例えば、図19において、インバータ93の代わりに2段のインバータを介挿するとよい。

【0147】<8.実施の形態8>図21は実施の形態8の波形整形装置の構成を示すブロック図である。この波形整形装置505は、デューティ比回復装置として構成されており、しかも、SRフリップフロップ14を用いることなく、50%デューティの出力クロックOUTを得るように構成されている。

【0148】図21において、96は多出力型の第2可変遅延回路、 $n0, n1, \dots, nk$ は第2可変遅延回路96の複数の出力信号、そして、97は多入力型の論理和(OR)回路である。この波形整形装置505は、波形整形装置504において、第2可変遅延回路12が第2可変遅延回路96に置き換えられ、しかも、SRフリップフロップ14の代わりに論理和回路97に置き換えられている。そして、論理和回路97の多入力端子には、第2可変遅延回路96の多出力 $n0, n1, \dots, nk$ が入力され、論理和回路97の出力信号が出力クロックOUTとして外部へ出力される。

【0149】図22は、第2可変遅延回路96の構成を示す回路図である。第2可変遅延回路96では、縦続接続された多数の単位遅延回路98を備えている。そして、初段の単位遅延回路98に出力クロックOUT_Aが入力され、この出力クロックOUT_Aが出力信号 $n0$ として出力されるとともに、次段から最終段までの各単位遅延回路98の出力が、出力信号 $n1, n2, \dots, nk$ として出力される。そして、出力クロックOUT_Aに対する最終段の出力 nk の遅延量が、第1可変遅延回路11の遅延量の半分となるように設定されている。

【0150】図23は、単位遅延回路98の構成を示す回路図である。単位遅延回路98の中に、可変遅延回路20(図5)の1つの単位遅延回路とバイパス回路部21とが組み合わされておき、また、入力信号(例えば $n0$)と出力信号(例えば $n1$)の論理を一致させるために、出力側にインバータ99が接続されている。

【0151】図24は、波形整形装置505の動作を説明するタイミングチャートである。図24では、第1可変遅延回路11が安定的にロック状態にあるときの各部の信号波形が描かれている。ワンショットパルス回路90の働きによって、第1可変遅延回路11および位相比

較器15には、入力クロックINに同期して立ち上がり、しかも十分に短いパルス幅 w をもった入力信号ISが入力される。第1可変遅延回路11はロック状態にあるために、出力クロックOUT_Aの位相は、入力信号ISと位相と見かけ上(等価的に)一致する。

【0152】そして、第2可変遅延回路96の出力信号 $n1, n2, \dots, nk$ は、順次一定時間ずつ遅延する。パルス幅 w の大きさは、できるだけ狭く設定されるのが望ましいが、一段の単位遅延回路の遅延量が、ロック以前の過渡的な動作時をも含めてつねにパルス幅 w よりも短くなる範囲に設定される。このため、出力信号 $n1, n2, \dots, nk$ の論理和として得られる出力クロックOUTは、出力クロックOUT_Aの立ち上がり時点から最終段の出力信号 nk の立ち下がり時点まで、値"1"となる。

【0153】最終段の出力信号 nk の遅延量が、第1可変遅延回路11の半分になるように設定されているので、第1可変遅延回路11がロックした状態では、最終段の出力信号 nk の遅延量は $T/2$ となる。このため、出力クロックOUTは、 $T/2$ の期間にわたって値"1"となる。すなわち、出力クロックOUTのデューティ比は50%となる。

【0154】なお、パルス幅 w が周期 T に比べて十分に短くはない場合には、デューティ比はパルス幅 w の大きさに応じて50%から幾分ずれる。しかしながら、通常は、出力信号 $n1, n2, \dots, nk$ の個数は十分に大きく設定されるので、パルス幅 w もそれとともなって短く設定可能である。このため、通常の使用形態において、出力クロックOUTのデューティ比のずれは無視できる。

【0155】このわずかなずれをも補償するためには、ロック時の出力クロックOUT_Aに対する出力信号 nk の遅延量が、遅延量 $=T/2-w$ 、の大きさとなるように、ワンショットパルス回路90におけるパルス幅 w と第2可変遅延回路96の単位遅延回路の段数との間の関係を調整しておくといよい。

【0156】<9.実施の形態9>図25は、実施の形態9の波形整形装置の構成を示すブロック図である。この波形整形装置506も、デューティ比回復装置として構成されている。この波形整形装置506では、出力クロックOUT_Aの代わりに、入力クロックINが直接に第2可変遅延回路12へと入力される点が、波形整形装置502(図1)とは特徴的に異なっている。

【0157】図26は、第1可変遅延回路11がロックした状態を例として装置506の動作を説明するタイミングチャートである。第1可変遅延回路11はロックしているので、出力クロックOUT_Aは入力クロックINから周期 T だけ遅延している。そして、出力クロックOUT_Bは、入力クロックINから第1可変遅延回路11の遅延時間の半分、すなわち $T/2$ だけ遅延する。

【0158】すなわち、SRフリップフロップ14では、セット端子SETの値が立ち上がった後、 $T/2$ を経てからリセット端子RSTの値が立ち上がる。このため、SRフリップフロップ14の非反転出力端子Qからは、デューティ比が50%のクロックが出力クロックOUTとして出力される。

【0159】以上のように、この装置506は、波形整形装置502と同様に、デューティ比回復装置として機能する。しかも、入力クロックINから出力クロックOUTまでの遅延は、SRフリップフロップ14でしか発生しないので、周期Tを超える遅延量を有する遅延波形整形装置502に比べて遅延量が小さいという利点を得られる。

【0160】このことは、低消費電力化などのために、外部から供給される入力クロックINが停止した場合に、装置が即座に停止できるなどの利点を生み出す。装置506では、制御部13と第1可変遅延回路11は、あたかも入力クロックINの周期Tを測定する役割を果たしている。

【0161】<10.実施の形態10>以上に説明したデューティ比回復装置としての各波形整形装置では、第2可変遅延回路の遅延量は第1可変遅延回路の遅延量の半分となるように設定されており、そのことによって、入力クロックINのデューティ比によらずに、50%のデューティ比を有するクロックが出力クロックOUTとして得られていた。これらのデューティ比回復装置において、第2可変遅延回路の遅延量を、例えば、第1可変遅延回路の遅延量の60%に設定すれば、60%のデューティ比を有する出力クロックOUTが得られる。

【0162】遅延量の調整は、例えば、可変遅延回路20(図5)における単位遅延回路の個数を調整することによって容易に可能である。また、可変遅延回路41、42(図8、図9)の例では、インバータ46の個数の比率を調整することによって達成される。あるいは、可変遅延回路51、52(図10、図11)の例では、セレクタ53の選択信号と制御信号Sinとの関係、例えばビットシフト量を調整すればよい。

【0163】対象装置5(図1)が、50%ではないあるクロック・デューティ比で最適になるように構成された場合には、出力クロックOUTのデューティ比を、その最適値に合わせ込むことによって、対象装置5の動作速度を最大限に引き上げることが可能となる。以上の各実施の形態で述べた波形整形装置は、第1可変遅延回路と第2可変遅延回路との間の遅延量の比率を、50%以外の値にも設定することが容易であり、対象装置5の性能を最大限に引き出すことができるという利点をも有している。

【0164】<11.実施の形態11>つぎに、実施の形態11の波形整形装置について説明する。

【0165】<11-1.装置の全体>図27は、実施の形

態11の波形整形装置の構成を示すブロック図である。この波形整形装置507も、デューティ比50%のクロックを得るデューティ比回復装置として構成されている。図27において、101は積分器、102は差動増幅器、103、104は抵抗素子、そして、S0は積分器の出力信号である。第2可変遅延回路12の最大可変遅延量は入力クロックINの1周期未満に設定されている。

【0166】入力クロックINは、可変遅延回路12とSRフリップフロップ14のセット端子SETとに入力され、出力クロックOUT_Bが、SRフリップフロップ14のリセット端子RSTに入力されている。そして、SRフリップフロップ14の非反転出力端子Qの信号が、出力クロックOUTとして外部へ出力されるとともに、積分器101へも入力される。また、積分器101の出力信号S0は、差動増幅器102の非反転入力端子に入力される。

【0167】差動増幅器102の反転入力端子には、高電位(Vdd)電源線と接地電位電源線の間に直列に接続された、抵抗値の等しい二つの抵抗素子103、104の接続部の電位、すなわち中点電位($Vdd/2$)が基準電位として入力される。すなわち、抵抗素子103、104は、基準電位を生成する回路として機能している。差動増幅器102は、2つの入力信号の差に比例した大きさの電圧信号を制御信号Vinとして出力する。この制御信号Vinは、可変遅延回路12へと入力される。なお、積分器101の時定数は、周期Tに比べて十分に大きく設定される。

【0168】図28は、この装置507の動作を説明するタイミングチャートである。図28に示すように、出力クロックOUT_Bが入力クロックINに対して、周期Tよりもさらに時間 t_1 だけ遅れているとする。このとき、出力信号S0は、基準電位($=Vdd/2$)よりも低い値になっている。出力クロックOUT_Bが入力クロックINに対して、周期Tよりも余分に遅れているために、出力クロックOUTのデューティ比は50%よりも高くなる。その結果、積分器101のはたらきで、出力信号S0は、徐々に基準電位に接近する。それにもなって、可変遅延回路12の遅延量は小さくなってゆく。すなわち、出力クロックOUTのデューティ比は50%に近づく。

【0169】逆に、出力クロックOUT_Bが入力クロックINに対して、周期Tよりもさらに時間 t_1 だけ早まっているとする。このとき、出力信号S0は、基準電位よりも高い値になっている。出力クロックOUT_Bが入力クロックINに対して、周期Tよりも早まっているために、出力クロックOUTのデューティ比は50%よりも低くなる。その結果、積分器101のはたらきで、出力信号S0は、徐々に基準電位に接近する。それにもなって、可変遅延回路12の遅延量は大きくなっ

てゆく。すなわち、出力クロックOUTのデューティ比は50%に近づく。

【0170】出力クロックOUTのデューティ比が50%に達すると、出力信号Sはゼロとなるので、出力クロックOUTのデューティ比はもはや変動しなくなる。すなわち、最終的には、出力クロックOUTのデューティ比は50%の値に安定する。このように装置507は、入力クロックINのデューティ比にかかわらず、50%デューティ比の出力クロックOUTを出力するデューティ比回復装置として機能する。

【0171】また、この装置507では、最終的に外部へ出力される出力クロックOUTをモニタすることによって、50%のデューティ比を得るように構成されている。このために、最終段に位置するSRフリップフロップ14をも含めて、値“1”を出力するときの駆動力と値“0”を出力するときの駆動力とを、厳密に一致させなくても、それらの偏りによる波形の乱れが補正され、出力クロックOUTのデューティ比が精密に50%に得られるという利点がある。すなわち、装置の製造が容易であるという利点が備わっている。

【0172】さらに、装置507では、抵抗素子103、104の抵抗値の比率を調節するだけで、所望する任意のデューティ比を有する出力クロックOUTを得ることが可能である。すなわち、この装置507は、デューティ比の調節が特に容易であるという利点をも同時に備えている。

【0173】<11-2. 積分器>つぎに、装置507の積分器101としての利用に適した積分器のいくつかの例について説明する。図29に示すように、積分器101には、例えば従来周知のRCフィルタが使用可能である。このRCフィルタは、構造が簡素であり、製造コストが低廉であるという利点がある。

【0174】図30に例示する積分器101aでは、RCフィルタの入力側に、2個のインバータ103が接続されている。出力クロックOUTはインバータ103の入力端子に入力され、RCフィルタに直接には入力されない。RCフィルタによる出力クロックOUTの波形への影響を解消することができるという利点がある。

【0175】図31に例示する積分器101bは、電流パケットを生成するチャージポンプを応用している。図31において、104、105はスイッチング素子、Cは容量素子、そして、IN、IPは電流源である。入力される出力クロックOUTが値“1”のときには、電流源IPがオンし、電流源INはオフする。逆に、値“0”であれば、電流源INがオンし、電流源IPはオフする。したがって、出力クロックOUTの値が容量Cによって積分され、積分値は容量Cが保持する電圧に反映される。

【0176】図32に例示する積分器101cは、2つの電流源IN、IPの電流の大きさを互いに同一にするのに適した積分器101の一形態である。図32におい

て、106、107、109はNMOSTランジスタ、108、110はPMOSTランジスタ、111はインバータ、そして、Rは抵抗素子である。

【0177】MOSTランジスタ109、110は、それぞれスイッチング素子104、105に対応する。また、MOSTランジスタ107、108は、それぞれ電流源IN、IPに対応する。そして、MOSTランジスタ106、107、108と抵抗素子Rとによって、MOSTランジスタ107、108のバイアス回路が構成されている。

【0178】すなわち、抵抗素子RとMOSTランジスタ106との直列回路を流れる電流の大きさは、抵抗素子Rの抵抗値の大きさによって精密に定まる。そして、MOSTランジスタ106、107で構成されるカレントミラー回路、さらに、二つのMOSTランジスタ108で構成されるもう一つのカレントミラー回路によって、抵抗値Rを流れる電流と同じ大きさの電流が、MOSTランジスタ107、108を流れる。

【0179】すなわち、電流源としてのMOSTランジスタ107、108の電流値が、抵抗素子Rの抵抗値によって精密に定まる。しかも、抵抗素子Rの抵抗値を高くすることによって、電流源としてのMOSTランジスタ107、108の電流値をいくらか小さく抑えることが可能である。したがって、容量素子Cの容量を小さくすることで、レイアウト面積を小さく保ちつつ、しかも、時定数を高く設定することができるという利点が得られる。

【0180】<12. 実施の形態12>図33は、実施の形態12の波形整形装置の構成を示すブロック図である。この波形整形装置508は、デューティ比50%のクロックを得るデューティ比回復装置として構成されており、装置507をデジタル回路で構成したものに相当する。図33において、120はデジタルフィルタである。可変遅延回路42の最大可変遅延量は、入力クロックINの1周期未満に設定されている。

【0181】入力クロックINは、可変遅延回路42とSRフリップフロップ14のセット端子SETとに入力され、出力クロックOUT_Bが、SRフリップフロップ14のリセット端子RSTに入力されている。そして、SRフリップフロップ14の非反転出力端子Qの信号が出力クロックOUTとして外部へ出力されると同時に、デジタルフィルタ120に入力される。デジタルフィルタ120が出力する制御信号Sinは、可変遅延回路42へと入力される。

【0182】図34は、デジタルフィルタ120の構成を示す回路図である。図34において、121はインバータ、122、123はアップダウン型の第1、第2カウンタ、HCKは入力クロックINよりも周期が十分に短い高速クロックである。

【0183】出力クロックOUTは、前段の第1カウン

タ 122 のアップ端子 UP に直接入力されるとともに、ダウン端子 DWN にインバータ 121 を介して入力される。また、第 1 カウンタ 122 のオーバーフロー端子 OVR、アンダーフロー端子 UND は、第 2 カウンタ 123 のアップ端子 UP、ダウン端子 DWN に、それぞれ接続されている。また、カウンタ 122、123 のクロック端子には、高速クロック HCK が入力される。そして、後段の第 2 カウンタ 123 の計数値が制御信号 Sin として出力される。

【0184】したがって、出力クロック OUT が値“1”であるときには、第 1 カウンタ 122 は、高速クロック HCK の一定倍数に相当する周期をもって反復的に、オーバーフロー端子 OVR から値“1”を出力する。逆に、出力クロック OUT が値“0”であるときには、第 1 カウンタ 122 は、アンダーフロー端子 UND から値“1”を反復的に出力する。

【0185】その結果、出力クロック OUT のデューティ比が 50% を超えているときには、制御信号 Sin の値は上昇してゆき、50% よりも低いときには減少してゆく。また、出力クロック OUT のデューティ比が 50% に一致するときには、制御信号 Sin の値は変動しなくなる。

【0186】したがって、装置 508 では、出力クロック OUT のデューティ比が 50% に収束するように、可変遅延回路 42 の遅延量が制御される。このように装置 508 は、入力クロック IN のデューティ比にかかわらず、50% デューティ比の出力クロック OUT を出力するデューティ比回復装置として機能する。

【0187】また、この装置 508 では、装置 507 と同様に、最終的に外部へ出力される出力クロック OUT をモニタすることによって、50% のデューティ比を得るように構成されている。このため、最終段に位置する SR フリップフロップ 14 も含めて、駆動力の偏りの影響が補償されて、出力クロック OUT には精密に 50% のデューティ比をもつクロックが得られるという利点がある。

【0188】さらに、すべての装置部分がデジタル回路で構成されるので、レイアウト面積が小さくなるという利点に加えて、標準セルを用いて容易に設計可能であるなどの利点も同時に得られる。

【0189】図 35 は、装置 508 に適した、別のデジタルフィルタの例を示す回路図である。図 35 において、125、126 は論理積 (AND) 回路、そして、127、128 はアップダウン型でしかも非同期型のカウンタである。

【0190】出力クロック OUT と高速クロック HCK との論理積が第 1 カウンタ 127 のアップ端子 UP に入力され、ダウン端子 DWN には、出力クロック OUT の反転信号と高速クロック HCK との論理が入力される。また、第 1 カウンタ 127 のオーバーフロー端子 OVR、

アンダーフロー端子 UND は、第 2 カウンタ 128 のアップ端子 UP、ダウン端子 DWN に、それぞれ接続されている。そして、第 2 カウンタ 128 の計数値が制御信号 Sin として出力される。

【0191】したがって、出力クロック OUT が値“1”であるときには、第 1 カウンタ 127 は、アップ端子 UP に入力される高速クロック HCK をカウントアップし、高速クロック HCK の一定倍数に相当する周期をもって反復的に、オーバーフロー端子 OVR から値“1”を出力する。逆に、出力クロック OUT が値“0”であるときには、ダウン端子 DWN に入力される高速クロック HCK をカウントダウンし、アンダーフロー端子 UND から値“1”を反復的に出力する。

【0192】その結果、出力クロック OUT のデューティ比が 50% を超えているときには、制御信号 Sin の値は上昇してゆき、50% よりも低いときには減少してゆく。また、出力クロック OUT のデューティ比が 50% に一致するときには、制御信号 Sin の値は変動しなくなる。

【0193】したがって、このデジタルフィルタ 120 a を用いた装置 508 は、出力クロック OUT のデューティ比が 50% に収束するように、可変遅延回路 42 の遅延量を制御するので、50% デューティ比の出力クロック OUT を出力するデューティ比回復装置として機能する。デジタルフィルタ 120 a では、安価な非同期式のカウンタが用いられるので、製造コストが削減されるという利点がある。

【0194】<13. 実施の形態 13> 図 36 は、実施の形態 13 の波形整形装置の構成を示すブロック図である。この波形整形装置 509 は、PWM (Pulse Width Modulation) 変調装置として構成されている。

【0195】図 36 において、Vr は外部から入力される入力信号、そして、130 は入力信号 Vr が入力される入力端子である。入力端子 130 は、差動増幅器 102 の反転入力端子に接続されている。すなわち、この装置 509 は、装置 507 (図 27) において、抵抗素子 103、104 で構成される基準電圧発生部を除去し、差動増幅器 102 の反転入力端子に、外部から任意の大きさの電圧信号が入力可能なように構成されている。

【0196】入力クロック IN の周期 T、積分器 101 の時定数、および、入力信号 Vr の周期の間に、周期 T < 時定数 < Vr の周期、の関係が保たれるように、積分器 101 の時定数が設定される。この場合には、入力信号 Vr が変動しても、可変遅延回路 42 は、ロック状態を維持しつづけるので、出力クロック OUT の周期は入力クロック IN の周期 T に固定されたままとなる。しかも、入力信号 Vr が高いときには、出力クロック OUT のデューティ比は大きくなり、逆に、入力信号 Vr が低いときには、出力クロック OUT のデューティ比は小さくなる。

【0197】すなわち、入力クロックINのデューティ比に依存することなく、出力クロックOUTとして、入力信号Vrに応答したPWM出力を得ることができる。しかも、入力信号Vrの高さと出力クロックOUTのデューティ比との間には線型な関係が保たれ、特性の良好なPWM変調装置が実現する。

【0198】<14.実施の形態14>図37は実施の形態14の波形整形装置の構成を示すブロック図である。この波形整形装置510も、PWM変調装置として構成されている。

【0199】図37において、132はオフセット生成部である。オフセット生成部132は、ループフィルタ17と第2可変遅延回路12の間に介挿されており、入力端子130を介して外部より入力される入力信号Vrに応じた大きさのオフセット信号を、制御信号Vinに重ね合わせる働きをなす。すなわち、この装置510は、装置506（図25）において、第2可変遅延回路12へと供給される制御信号Vinに、外部から任意の大きさのオフセット信号を重畳可能なように構成されている。

【0200】入力信号Vrが変化しても、第1可変遅延回路11の動作には影響がなく、第1可変遅延回路11はロック状態を維持し続ける。したがって、入力クロックINの周期Tと入力信号Vrの周期との間に、 $T < V_r$ の周期、の関係が保たれるように変化する入力信号Vrが入力されると、出力クロックOUTの周期は入力クロックINの周期Tに固定されたままで、出力クロックOUTのデューティ比のみが変化する。すなわち、装置510は、PWM変調装置として機能する。

【0201】オフセット生成部132は、2つの入力信号Vin、Vrの和を算出して出力する加算器であり、例えば、演算増幅器を用いて容易に構成可能である。この装置510は、入力信号Vrを、時間とともに変化する一定の値に保つことによって、実施の形態10で述べた装置、すなわち、所望の任意のデューティ比を有する出力クロックOUTを出力するデューティ比回復装置として機能させることも可能である。

【0202】また、この装置510は、入力信号Vrの周期の大きさについて、装置の積分時定数に関する制約を受けることなく、周波数の高い入力信号VrのPWM変調も可能であるという利点がある。

【0203】<15.実施の形態15>図38は実施の形態15の波形整形装置の構成を示すブロック図である。この波形整形装置511は、デューティ比回復装置と周波数過倍装置との双方の機能を併せて実現するように構成されている。

【0204】図38において、134、135、136は第2、第3、第4可変遅延回路、137、138はSRフリップフロップ、139は論理和回路、141、142、143は出力端子、OUT_B1、OUT_B

2、OUT_B3はそれぞれ第2、第3、第4可変遅延回路134、135、136の出力信号、そして、P1、P2、DBLはそれぞれSRフリップフロップ137、138および論理和回路139の出力信号である。

【0205】すなわち、この装置511は、あたかも装置506（図25）に、第3、第4可変遅延回路136、137、SRフリップフロップ138、および論理和回路139を付加することによって構成されている。ただし、第2可変遅延回路134は、装置506（図25）の第2可変遅延回路12と同一ではなく、第2～第4可変遅延回路134～136の遅延量は、いずれも、同一の制御信号Vinのもとで第1可変遅延回路11の遅延量の1/4となるように設定されている。

【0206】第3可変遅延回路135には入力信号として出力クロックOUT_B1が入力され、第4可変遅延回路135には出力クロックOUT_B2が入力される。すなわち、第2～第4可変遅延回路134～136は、縦続接続されている。そして、第2～第4可変遅延回路134～136のいずれにも、制御信号としてループフィルタ17から出力される制御信号Vinが共通に入力される。

【0207】出力クロックOUT_B2はSRフリップフロップ138のセット端子SETに入力され、出力クロックOUT_B3はリセット端子RSTに入力される。そして、SRフリップフロップ137、138の非反転出力端子Qの出力P1、P2が、それぞれ出力端子141、143を通じて外部へ出力されるとともに、論理和回路139の2入力端子へと入力される。論理和回路139の出力信号DBLは、出力端子142を通じて外部へと出力される。

【0208】図39は、第1可変遅延回路11がロック状態にあるときを例として装置511の動作を説明するタイミングチャートである。第1可変遅延回路11がロック状態にあるために出力クロックOUT_Aは入力クロックINから周期Tだけ遅延しており、見かけ上それらの位相差はゼロとなっている。このとき、出力クロックOUT_B1～OUT_B3は、入力クロックINから順次T/4ずつ遅延する。

【0209】SRフリップフロップ137は、出力クロックOUT_Aの立ち上がりエッジでセットされ、出力クロックOUT_B1の立ち上がりエッジでリセットされる。したがって、出力信号P1は、出力クロックOUT_Aと同一位相、言い替えると、入力クロックINと同一位相で、しかも、1/4のデューティ比を有するクロックとして得られる。

【0210】SRフリップフロップ138は、出力クロックOUT_B2の立ち上がりエッジでセットされ、出力クロックOUT_B3の立ち上がりエッジでリセットされる。したがって、出力信号P2は、出力クロックOUT_A（あるいは入力クロックIN）からT/2だけ

遅延した位相で、しかも、 $1/4$ のデューティ比を有するクロックとして得られる。

【0211】論理和回路139は、出力信号P1、P2の論理和を算出して出力する。このため、出力信号DBLは、周期が $T/2$ で、しかも、デューティ比が50%のクロック信号として得られる。

【0212】このように、この装置511では、入力クロックINと同相および逆相の2相のクロックが得られるとともに、周波数が2倍に逓倍されたクロックが得られる。しかも、これらのクロックのデューティ比は、入力クロックINとは無関係の一定値となる。したがって、対象装置5(図2)が、複数相のクロックを必要としているとき、あるいは、複数周波数のクロックを必要としているときに、この装置511は有用である。

【0213】なお、装置511を拡張して、可変遅延回路の遅延量の比を $1/4$ 以外の値に設定し、さらに縦続接続される可変遅延回路の個数を3個よりも多く設定することによって、さらに相数の多い多相のクロックの生成、あるいは、3倍、4倍などのクロックの逓倍も容易に可能である。

【0214】すなわち、一般に、第3可変遅延回路135以降の段数が N (=偶数)で、SRフリップフロップは、第2可変遅延回路134を含めた一つおきに、その入力側と出力側にセット端子SETとリセット端子RSTとがそれぞれ接続され、すべてのSRフリップフロップの非反転出力端子Qの出力の論理和を算出して出力する論理和回路142が備わっておればよい。そして、第2可変遅延回路134以降のそれぞれの遅延量は、第1可変遅延回路11の遅延量の $1/(N+2)$ になるように設定されておればよい。このとき、第3可変遅延回路135以降に接続されるSRフリップフロップの個数 M は、 $M=N/2$ となる。

【0215】そうすることによって、論理和回路14からは、入力クロックINの周波数が $(N+2)/2$ 倍、すなわち $(M+1)$ 倍に逓倍され、しかも、デューティ比が50%のクロックが出力される。図38に示した例は、 N の値が最小値の例、すなわち $N=2$ に相当する。

【0216】<16.実施の形態16>図40は実施の形態16のクロック供給装置の構成を示すブロック図である。このクロック供給装置512は、DLL装置とデューティ比回復装置とが結合した装置501(図2)と同一の機能を果たすように構成されている。

【0217】図40において、151は遅延回路、152はセクタ、153は第1選択信号生成部、154は第2選択信号生成部、155は周期測定部、 $c1 \sim cn$ は遅延回路151の出力信号、 $S1$ は第1選択信号、 $S2$ は第2選択信号、 $S3$ は第3選択信号、そして、OUT_S1、OUT_S2はセクタ152の出力信号である。

【0218】遅延回路151は、入力クロックCLを順

次一定時間ずつ遅延させて、出力信号 $c1$ 、 $c2$ 、 \dots 、 cn として出力する。遅延回路151の遅延量は可変ではなく、例えば、多段に縦続接続されたインバータによって構成される。

【0219】セクタ152は、二重セクタとして構成されており、多数の出力信号 $c1$ 、 $c2$ 、 \dots 、 cn の中から、第1選択信号 $S1$ にตอบสนองして一つを選択し出力信号OUT_S1として出力するとともに、第2選択信号 $S2$ にตอบสนองして一つを選択し、出力信号OUT_S2として出力する。すなわち、遅延回路151とセクタ152とによって、可変遅延回路が構成されている。選択信号 $S1$ 、 $S2$ の値が大きいほど、遅延量の大きい出力信号が選択される。

【0220】周期測定部155は、入力クロックCLの周期を測定して、その周期の半分に相当する値を第3選択信号 $S3$ として出力する。第1選択信号生成部153は、入力クロックCLとフィードバッククロックFBとの位相差に応じて第1選択信号 $S1$ を出力する。すなわち、第1選択信号生成部153は、入力クロックCLとフィードバッククロックFBの位相差が、等価的にゼロの値で安定するように、第1選択信号 $S1$ を出力する。さらに、第2選択信号生成部154は、第1選択信号 $S1$ に第3選択信号 $S3$ を加算して、第2選択信号 $S2$ として出力する。

【0221】このように、遅延回路151、セクタ152、および、第1選択信号生成部153によって、DLL装置が構成されており、入力クロックCLとフィードバッククロックFBの位相差が等価的にゼロとなるように、遅延量が調整される。さらに、周期測定部155と第2選択信号生成部154とによって、入力クロックINの任意のデューティ比を50%に変換するデューティ比回復装置が構成されている。

【0222】図41は、位相差がゼロに安定している状態を例として装置512の動作を説明するタイミングチャートである。図41において、 T は入力クロックCLの周期である。出力信号OUT_S1は、入力クロックCLに対して、第1選択信号 $S1$ の値に応じた一定遅延量だけ遅延している。さらに、出力信号OUT_S2は、第3選択信号 $S3$ に対応して、出力信号OUT_S1から $T/2$ だけ遅延する。

【0223】SRフリップフロップ14は出力信号OUT_S1でセットされ、出力信号OUT_S2でリセットされる。その結果、SRフリップフロップ14の非反転出力端子Qからは、出力信号OUT_S1に同期し、デューティ比が50%のクロック信号Qが出力される。

【0224】この出力信号Qは、フィードバッククロックFBとして伝達されるまでに、クロックドライバおよびクロック配線4などによって、さらに遅延量が付加される。しかしながら、DLL装置の働きによって、入力クロックCLとフィードバッククロックFBとの間の

見かけの位相差がゼロとなるように、入力クロックCLから出力信号OUT_S1までの遅延量が調整される。

【0225】このように、この装置512では、入力クロックCLとの位相差がなく、しかも入力クロックCLのデューティ比とは無関係に50%のデューティ比のクロックが得られる。

【0226】図42は、第1選択信号生成部153の好ましい構成例を示すブロック図である。図42に示すように、第1選択信号生成部153は、波形整形装置503の制御部43（図7）と同一に構成することが可能である。

【0227】図43は、周期測定部155の好ましい構成例を示すブロック図である。図43において、156は遅延回路、157はセレクト、158は割算器、そして、S4は第4選択信号である。遅延回路156は、遅延回路151と同一に構成され、多数の出力信号の遅延量も互いに一致する。また、セレクト157とセレクト152との間で、選択信号とそれに応じて選択される信号との間の応答関係は同一に設定されている。

【0228】また、セレクト157は、ADコンバータ45が出力する第4選択信号S4にตอบสนองして、遅延回路156からの多数の出力信号の一つを選択し、位相比較器15へと出力する。すなわち、遅延回路156とセレクト157は、可変遅延回路41（図7）を実質的に構成している。そして、周期測定部155は、可変遅延回路41と制御部43（図7）に、割算器158を付加することによって構成される。

【0229】したがって、第3選択信号S3は、遅延回路156の出力信号の中から、 $T/2$ の遅延量を有する信号を選択する選択信号として生成される。このことは、言い替えると、第3選択信号S3が、遅延回路151の出力信号c1～cnの中から、 $T/2$ の遅延量を有する信号を選択する選択信号として生成されることを意味する。

【0230】図44は第2選択信号生成部154の構成例を示すブロック図である。図44に示すように、第2選択信号生成部154は、デジタル加算器を用いることによって、2進数としての選択信号S1、S3を互いに加算し、選択信号S3として出力することが可能である。

【0231】第2選択信号S2は、第1選択信号S1に第3選択信号S3が加算されているので、出力信号OUT_S1から $T/2$ だけ遅延した信号が選択され、出力信号OUT_S2として出力される。

【0232】このクロック供給装置512では、遅延回路151をDLL装置とデューティ比回復装置とで共有しているので、素子の個数を削減し、装置の規模を縮小することができるという利点がある。しかも、すべての装置部分がデジタル信号のみの処理を行うデジタル回路で構成されるので、電氣的ノイズの影響を受け難く、し

かも、動作が安定するという利点も同時に得られる。

【0233】また、周期測定部155は、遅延回路151、セレクト152、第1制御信号生成部153と、相似した装置部分を備えており、相当部分において、同一構造とすることが可能である。このため、設計資源の共用化が可能であり、製造工程の簡略化、コストの節減がもたらされる。

【0234】なお、以上の説明では、二重形式のセレクト152を用いる例を示したが、通常のセレクトを2つ準備し、単一の遅延回路151に双方を接続してもよい。

【0235】<17.実施の形態17>図45は、実施の形態17の波形整形装置の構成を示すブロック図である。この波形整形装置513は、クロックの周波数を適倍する周波数適倍装置として構成されている。

【0236】図45において、161は可変遅延回路、そして、162は排他的論理和回路である。可変遅延回路161は、可変遅延回路134（図38）と同様に、同一の制御信号Vinの下で、遅延量が第1可変遅延回路11の $1/4$ となるように設定されている。すなわち、この装置513は、あたかも、装置511から、可変遅延回路135、136、SRフリップフロップ137、138、および論理和回路139を取り除き、SRフリップフロップ137の代わりに排他的論理和回路162を設けることによって構成されている。この装置513を使用する際には、入力クロックINとして、デューティ比が50%に調整されたクロックが入力される。

【0237】図46は、第1可変遅延回路11がロック状態にあるときを例として装置513の動作を説明するタイミングチャートである。第1可変遅延回路11がロック状態にあるために、出力クロックOUT_Aは入力クロックINから周期Tだけ遅延しており、見かけ上それらの位相差はゼロとなっている。このとき、可変遅延回路161から出力される出力クロックOUT_Bは、入力クロックINから $T/4$ だけ遅延する。

【0238】排他的論理和回路162は、出力クロックOUT_Aと出力クロックOUT_Bの排他的論理和（EXOR）を算出して出力クロックOUTとして出力する。このため、出力クロックOUTは、50%のデューティ比を有し、 $T/4$ の周期を有するクロック信号として得られる。しかも、入力クロックINの立ち上がり出力クロックOUTの2周期ごとの立ち上がりとの間に遅延がない。

【0239】また、出力クロックOUT_Bを出力クロックとして外部に取り出すことによって、入力クロックINから $1/4$ 周期遅延したクロックを得ることも可能である。このように、この装置513は、50%のデューティ比を有する入力クロックINを入力することによって、位相が所定量だけずれたクロック、および、周波数が適倍されたクロックを得ることができる。

【0240】さらに、装置511(図38)と比較すると明確であるように、装置513では、簡単な構成で周波数の通信が実現するという利点がある。

【0241】

【発明の効果】第1の発明の装置では、制御部のはたきで、第1遅延クロックが入力クロックに1周期遅れ、それらの位相が実質的に一致する。したがって、第2可変遅延回路の出力はその入力に対して1周期未満の一定比率に相当する時間だけ遅れる。SRフリップフロップは第2可変遅延回路の入力でセットされ出力でリセットされるので、SRフリップフロップの出力である出力クロックは、一定比率に相当する一定のデューティ比を有する。すなわち、入力クロックのデューティ比とは無関係に、つねに一定のデューティ比をもち、しかも位相が入力クロックの位相と実質的に一致する出力クロックが得られる。

【0242】第2の発明の装置では、制御部が、位相比較器、チャージポンプ回路、および、ループフィルタで構成される。このため、制御部の構成が簡単であり、製造が容易である。

【0243】第3の発明の装置では、第1および第2可変遅延回路が、同一構成の単位遅延素子で構成され、しかも、各単位遅延素子に付随する電流源にはバイアス信号が共通に入力される。このため、制御信号が変化しても第1および第2可変遅延回路の遅延量は、単位遅延素子の個数の比率に相当する一定の比率を精密に維持する。すなわち、両者の遅延量の関係について高い精度が実現する。また、バイアス回路が共有されるので、素子の個数が節減される。さらに、単位遅延素子が直線状に配列されるので、信号同士のカップリングなど、ノイズの要因が低減される。

【0244】第4の発明の装置では、第1および第2可変遅延回路が、デジタル信号を処理するデジタル回路で構成されるので、ノイズの影響を受けにくい。また、制御信号に応じて、単位遅延素子の一定数ごとに得られる信号列の中から選択されるので、遅延量の精度が高く、しかも、制御信号と遅延量との間の線型性が良好である。

【0245】第5の発明の装置では、第1および第2可変遅延回路に属する単位遅延素子は互いに同一で、信号列ごとの個数がそれらの間で異なることで、それらの間の遅延量を異ならせている。このため、制御信号が変化しても、第1および第2可変遅延回路の間の遅延量の比率が高い精度で維持される。

【0246】第6の発明の装置では、第1および第2可変遅延回路は互いに同一に構成され、制御信号がビットシフトするように配線をずらすことで、それらの間の遅延量を異ならせている。このため、制御信号が変化しても、第1および第2可変遅延回路の間の遅延量の比率が高い精度で維持される。また、第1および第2可変遅延

回路を同一に製造し得るので、製造効率が良好である。

【0247】第7の発明の装置では、制御部が、位相比較器、チャージポンプ回路、ループフィルタ、および、ADコンバータで構成される。このため、制御部の構成が簡単であり、製造が容易である。

【0248】第8の発明の装置では、制御部がデジタル回路で構成されるので、特性が一定し、制御信号が精度よく生成されるとともに、ノイズによる影響も少なく、安定した動作が得られる。しかも、Dラッチおよびカウンタという周知の簡単な回路で構成されるので、製造が容易でコストも低廉である。

【0249】第9の発明の装置では、第3可変遅延回路および第2SRフリップフロップによって、第1SRフリップフロップが出力するクロックとはデューティ比が同一で、位相の異なるクロックが得られる。したがって、多相のクロックを必要とする装置への利用に適している。

【0250】第10の発明の装置では、第1SRフリップフロップおよびM個の第2SRフリップフロップからは、デューティ比がいずれも50%で、位相が入力クロックINの周期の $1/(1+M)$ 倍ずつずれた多相クロックが得られる。しかも、論理和回路からは、デューティ比が50%で、しかも入力クロックINの周波数が $(M+1)$ 倍に通信されたクロックが得られる。したがって、多相のクロックあるいは通信されたクロックを必要とする装置への利用に適している。

【0251】第11の発明の装置では、制御部のはたきで、ワンショットパルスが入力クロックに1周期遅れ、それらの位相が実質的に一致する。したがって、第2可変遅延回路の最後部の出力は、その入力に対して1周期未満の一定比率に相当する時間だけ遅れる。したがって、論理和回路からは、入力クロックと位相が同一で、デューティ比が一定のクロックが出力される。すなわち、この装置を用いることによって、入力クロックのデューティ比とは無関係に、つねに一定のデューティ比をもち、しかも位相が入力クロックに一致する出力クロックが得られる。

【0252】第12の発明の装置では、オフセット生成部が備わるので、第2可変遅延回路へ入力される制御信号の値を変更することによって、容易に、デューティ比を変更することが可能である。

【0253】第13の発明の装置では、オフセット信号の値が外部から入力される信号に応じて可変であるので、PWM変調装置として利用することが可能である。

【0254】第14の発明の装置では、制御信号の初期値を、遅延量を最小にする値に設定する手段が備わるので、第1可変遅延回路の最大可変遅延量が製造誤差等によって、入力クロックの周期の2倍以上となる場合においても、第1可変遅延回路の遅延量を安定的に入力クロックの1周期とすることが可能である。

【0255】第15の発明の装置では、SRフリップフロップが出力する出力クロックでは、位相が入力クロックと一致し、アクティブレベルの期間が可変遅延回路による遅延量に一致する。この出力クロックが積分器で積分され、その積分信号と差動増幅器の他方入力の値との差に応じて、可変遅延回路の遅延量が増減されるので、積分信号が他方入力の値に一致するように、遅延量が定まる。

【0256】すなわち、位相が入力クロックに一致する出力クロックを得ることができるとともに、そのデューティ比が入力クロックとは無関係に他方入力の値で調節可能である。また、他方入力に時間とともに変化する信号を入力することによって、この装置をPWM変調装置として利用することも可能である。

【0257】第16の発明の装置では、基準信号生成部が備わるので、生成される基準信号の値に応じた一定のデューティ比を有する出力クロックが得られる。

【0258】第17の発明の装置では、固定遅延回路とセレクトが、互いに結合することで可変遅延回路として機能する。そして、SRフリップフロップが出力する出力クロックでは、位相が入力クロックと一致し、アクティブレベルの期間が可変遅延回路による遅延量に一致する。第1および第2カウンタによって、この出力クロックのデューティ比の50%からの偏差を解消する方向に遅延量が増減されるので、入力クロックとは無関係に出力クロックのデューティ比が50%に定まる。

【0259】第18の発明の装置では、SRフリップフロップが、ワンショットパルス回路を備えているので、デューティ比の大きい入力クロックが入力されても、正常に動作する。

【0260】第19の発明の装置では、SRフリップフロップが、リセット優先型のSRフリップフロップであるので、デューティ比の大きい入力クロックが入力されても、正常に動作する。

【0261】第20の発明の装置では、ワンショットパルス回路が備わり、入力クロックがワンショットパルス回路に変換されて装置の各部に供給されるので、デューティ比の大きい入力クロックが入力されても正常に動作する。

【0262】第21の発明の装置では、第2可変遅延回路の遅延量が第1可変遅延回路の $1/4$ に設定されており、SRフリップフロップが排他的論理和回路に置き換えられているので、デューティ比が50%の入力クロックが入力されるときに、排他的論理和回路からは周波数が2倍に逡倍されたクロックが得られる。

【0263】第22の発明のクロック供給装置では、波形整形装置が備わるので、入力クロックとは無関係に一定のデューティ比を有するクロックが、クロック配線に供給される。しかも、波形整形装置は、DLL装置のループ内であるクロックドライバの間に介挿されているの

で、波形整形装置による遅延をも含めて、DLL装置による位相補償が行われる。

【0264】このように、このクロック供給装置を用いることによって、DLL装置による位相補償機能を損なうことなく、しかも、入力クロックとは無関係に一定のデューティ比を有する出力クロックが得られるので、クロックの供給を受ける対象装置の動作速度を高めることができる。

【0265】第23の発明の装置では、波形整形装置として、第1、第4、第11、第15、または、第17の発明の波形整形装置が用いられるので、構造が簡単であり、しかも一定のデューティ比を有する出力クロックが高い精度で得られる。

【0266】第24の発明の装置では、固定遅延回路と第1セレクトが、互いに結合することで第1の可変遅延回路として機能する。また、固定遅延回路と第2セレクトが、互いに結合することで第2の可変遅延回路として機能する。そして、第1選択信号生成部によって、入力クロックとフィードバッククロックとの位相差が解消するように第1の可変遅延回路の遅延量が制御される。さらに、周期測定部と第2選択信号生成部とによって、第2の可変遅延回路の遅延量が入力クロックの1周期の半分の時間に調節される。したがって、SRフリップフロップからは、50%のデューティ比を有するクロックが出力される。

【0267】このように、このクロック供給装置を用いることによって、位相の補償がなされるとともに、入力クロックとは無関係に50%のデューティ比が得られるので、クロックの供給を受ける対象装置の動作速度を高めることができる。

【0268】第25の発明の装置では、第2固定遅延回路と第3セレクトとが結合して第3の可変遅延回路として機能する。そして、第4選択信号生成部の働きで、第3可変遅延回路の遅延量は入力クロックの1周期に一致する。このときの、第4制御信号の値は、入力クロックの1周期分の遅延量を選択可能な値に定まっている。

【0269】第2固定遅延回路の遅延量が第1固定遅延回路と同一で、しかも、第3セレクトの選択信号と選択される信号列との関係が第1および第2セレクトと同様に設定されているので、第4選択信号の値の半分に相当する第3制御信号を、第1制御信号に加算して得られる第2制御信号は、第1遅延クロックからさらに入力クロックの周期の0.5倍遅延したクロックを第2遅延クロックとして選択する。したがって、SRフリップフロップが出力するクロックのデューティ比は、入力クロックとは無関係に50%に定まる。

【0270】このように、周期測定部は、第1固定遅延回路、第1および第2セレクト、および第1選択信号生成部に、相似した構造を有しており、相当部分において同一に構成可能である。すなわち、回路パターンなど設

計資源の共用化が可能であり、製造工程の簡略化、コストの節減がもたらされる。

【図面の簡単な説明】

【図 1】 実施の形態 2 の波形整形装置のブロック図である。

【図 2】 実施の形態 1 のクロック供給装置のブロック図である。

【図 3】 実施の形態 1 のクロック供給装置のタイミングチャートである。

【図 4】 実施の形態 2 の波形整形装置のタイミングチャートである。

【図 5】 実施の形態 2 の可変遅延回路のブロック図である。

【図 6】 実施の形態 2 の可変遅延回路の他の例のブロック図である。

【図 7】 実施の形態 3 の波形整形装置のブロック図である。

【図 8】 実施の形態 3 の第 1 可変遅延回路のブロック図である。

【図 9】 実施の形態 3 の第 2 可変遅延回路のブロック図である。

【図 10】 実施の形態 3 の第 1 可変遅延回路の他例のブロック図である。

【図 11】 実施の形態 3 の第 2 可変遅延回路の他例のブロック図である。

【図 12】 実施の形態 4 の波形整形装置の一部のブロック図である。

【図 13】 実施の形態 4 の波形整形装置のタイミングチャートである。

【図 14】 実施の形態 4 の波形整形装置のタイミングチャートである。

【図 15】 実施の形態 5 の SR フリップフロップのブロック図である。

【図 16】 実施の形態 5 の波形整形装置のタイミングチャートである。

【図 17】 実施の形態 6 の SR フリップフロップのブロック図である。

【図 18】 実施の形態 6 の SR フリップフロップのブロック図である。

【図 19】 実施の形態 7 の波形整形装置のブロック図である。

【図 20】 実施の形態 7 の波形整形装置のタイミングチャートである。

【図 21】 実施の形態 8 の波形整形装置のブロック図である。

【図 22】 実施の形態 8 の第 2 可変遅延回路のブロック図である。

【図 23】 実施の形態 8 のインバータのブロック図である。

【図 24】 実施の形態 8 の波形整形装置のタイミング

チャートである。

【図 25】 実施の形態 9 の波形整形装置のブロック図である。

【図 26】 実施の形態 9 の波形整形装置のタイミングチャートである。

【図 27】 実施の形態 11 の波形整形装置のブロック図である。

【図 28】 実施の形態 11 の波形整形装置のタイミングチャートである。

【図 29】 実施の形態 11 の積分器のブロック図である。

【図 30】 実施の形態 11 の積分器の他の例のブロック図である。

【図 31】 実施の形態 11 の積分器のさらに他の例のブロック図である。

【図 32】 実施の形態 11 の積分器のさらに他の例のブロック図である。

【図 33】 実施の形態 12 の波形整形装置のブロック図である。

【図 34】 実施の形態 12 のデジタルフィルタのブロック図である。

【図 35】 実施の形態 12 のデジタルフィルタの他例のブロック図である。

【図 36】 実施の形態 13 の波形整形装置のブロック図である。

【図 37】 実施の形態 14 の波形整形装置のブロック図である。

【図 38】 実施の形態 15 の波形整形装置のブロック図である。

【図 39】 実施の形態 15 の波形整形装置のタイミングチャートである。

【図 40】 実施の形態 16 の波形整形装置のブロック図である。

【図 41】 実施の形態 16 の波形整形装置のタイミングチャートである。

【図 42】 実施の形態 16 の第 1 制御信号生成部のブロック図である。

【図 43】 実施の形態 16 の周期測定部のブロック図である。

【図 44】 実施の形態 16 の第 2 制御信号生成部のブロック図である。

【図 45】 実施の形態 17 の波形整形装置のブロック図である。

【図 46】 実施の形態 17 の波形整形装置のタイミングチャートである。

【図 47】 従来のクロック供給装置のブロック図である。

【図 48】 従来の位相比較器のブロック図である。

【図 49】 従来の位相比較器のタイミングチャートである。

【図50】 従来の位相比較器の状態転移図である。

【図51】 従来のチャージポンプ回路とループフィルタのブロック図である。

【図52】 従来の電流源のブロック図である。

【図53】 従来の電流源のブロック図である。

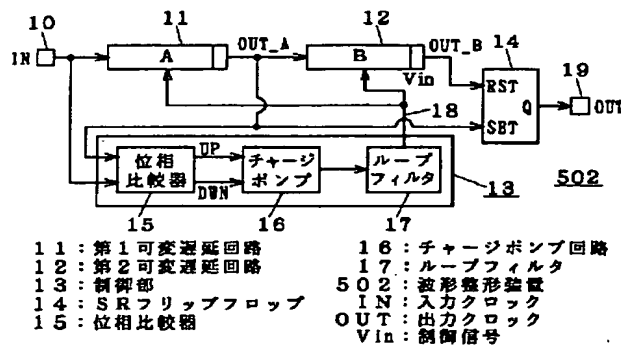
【図54】 従来の可変遅延回路のブロック図である。

【符号の説明】

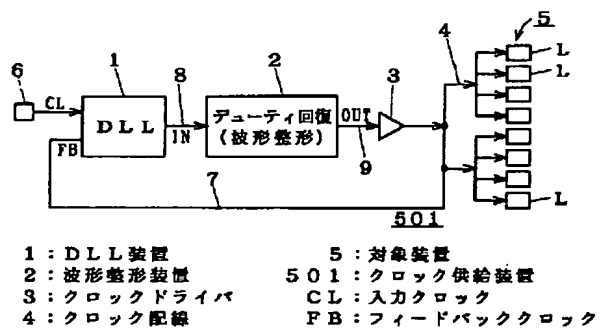
1 DLL装置、2 波形整形装置、3 クロックドライバ、4 クロック配線、5 対象装置、FB フィードバッククロック、11、41、51 第1可変遅延回路、12、42、52、96、134、161 第2可変遅延回路、13、43 制御部、14 SRフリップフロップ、15 位相比較器、16 チャージポンプ回路、17 ループフィルタ、20、30 可変遅延回路、21、31 バイアス回路部、22 単位遅延回路、23、26、33、35 NMOSトランジスタ、

24、27、34、36 PMOSトランジスタ、25、46、121 インバータ、32 抵抗素子、45 ADコンバータ、Sin 制御信号、47、53 セレクタ、55 Dラッチ、56、122、127 第1カウンタ、57、123、128 第2カウンタ、60、70、80、137、138 SRフリップフロップ、90 ワンショットパルス回路、97、139 論理和回路、101 積分器、102 差動増幅器、120、120a デジタルフィルタ、125、126 論理積回路、132 オフセット生成部、135、136 第3可変遅延回路、151 遅延回路、152 セレクタ、153 第1選択信号生成部、154 第2選択信号生成部、158 割算器、162 排他的論理和回路、CL、IN 入力クロック、OUT 出力クロック、Vin 制御信号、502~511、513 波形整形装置、501、512 クロック供給装置。

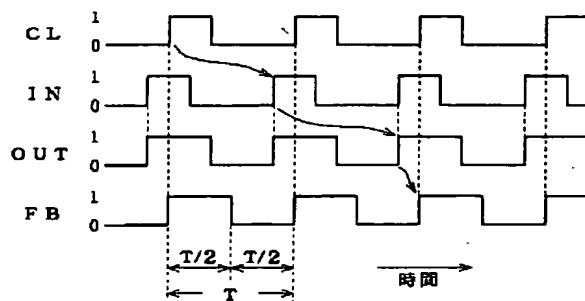
【図1】



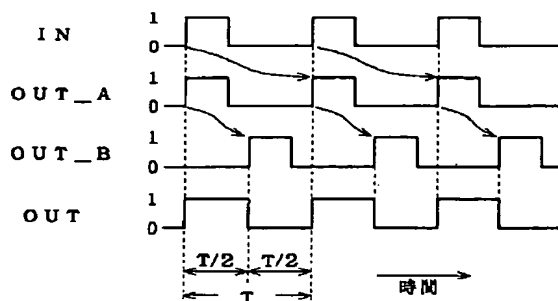
【図2】



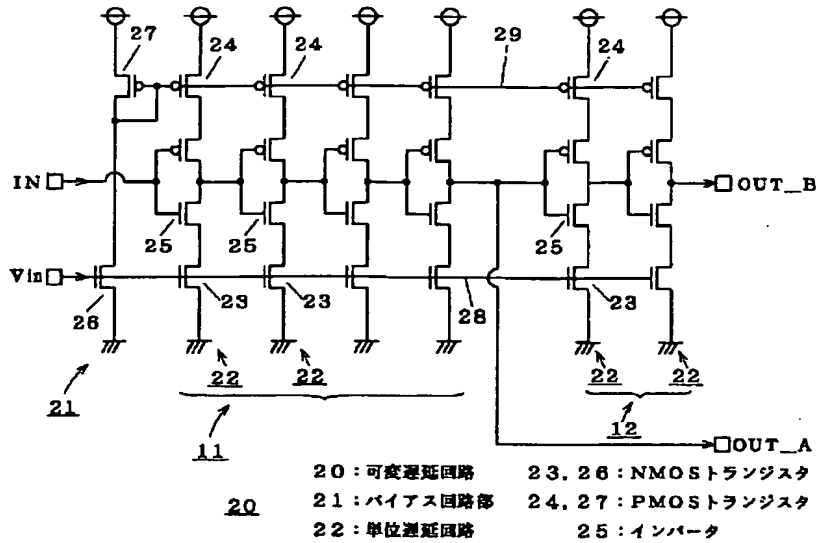
【図3】



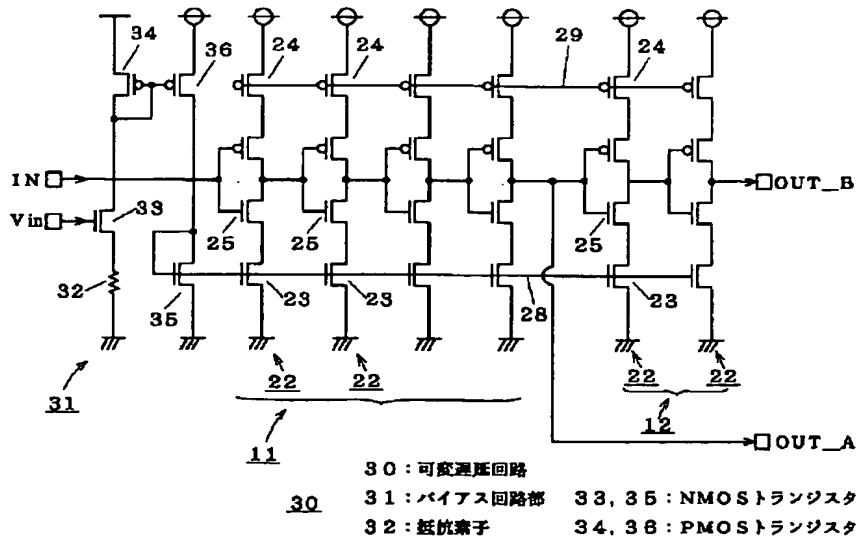
【図4】



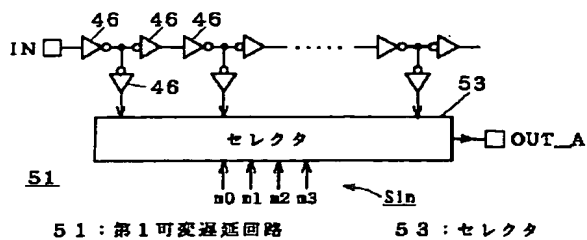
【図5】



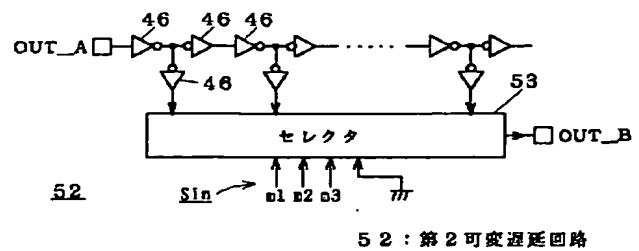
【図6】



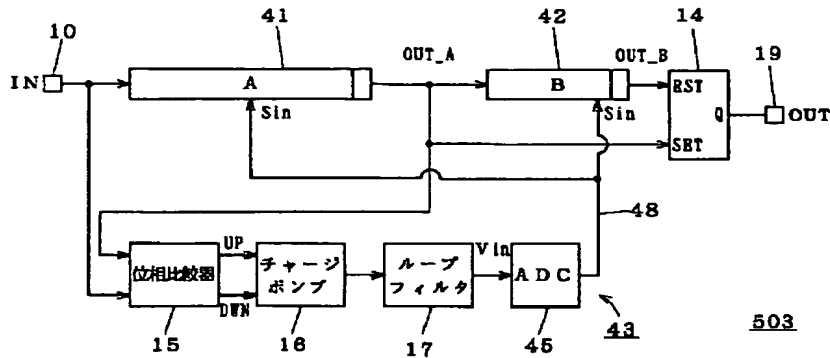
【図10】



【図11】

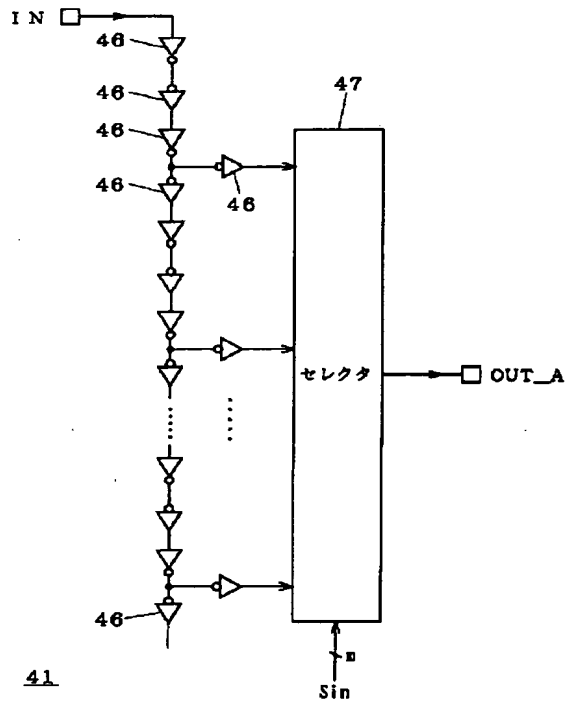


【図7】



- 41: 第1可変遅延回路
42: 第2可変遅延回路
43: 制御部
45: ADコンバータ
503: 波形整形装置
Sin: 制御信号

【図8】

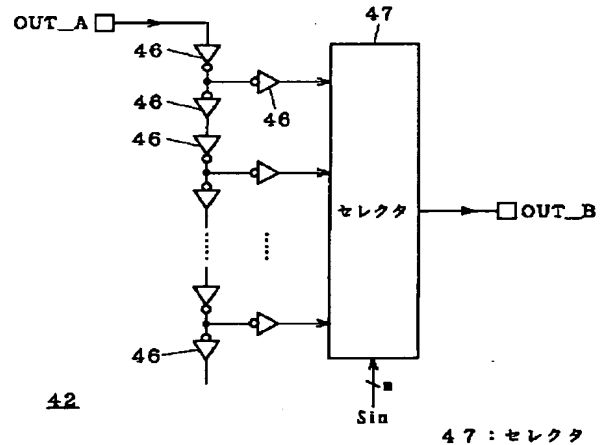


41

47: セレクタ

46: インバータ

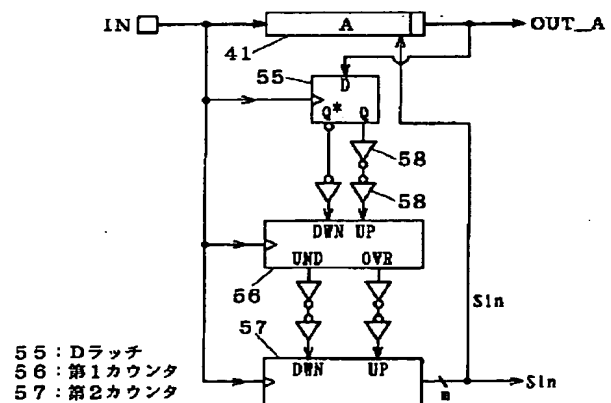
【図9】



42

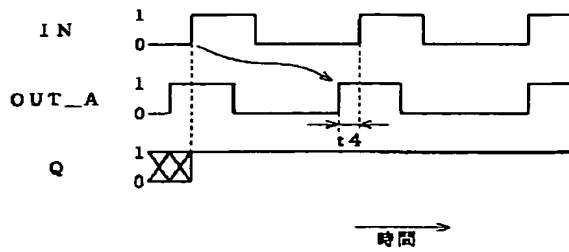
47: セレクタ

【図12】

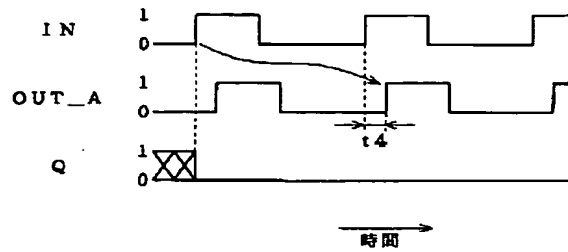


- 55: Dラッチ
56: 第1カウンタ
57: 第2カウンタ

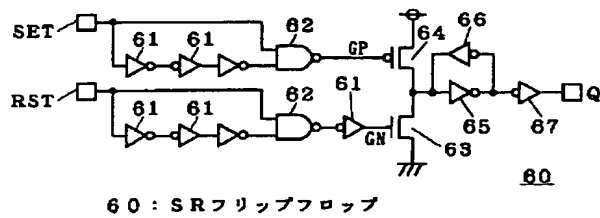
【図13】



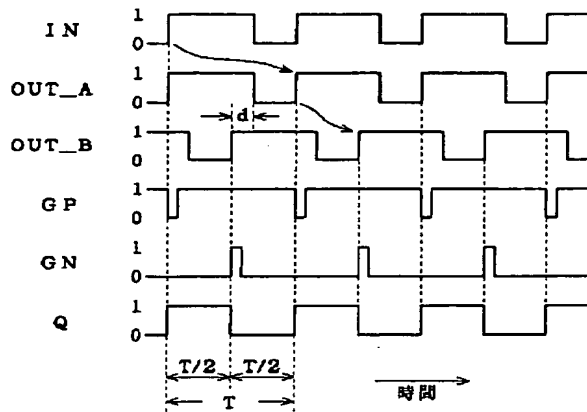
【図14】



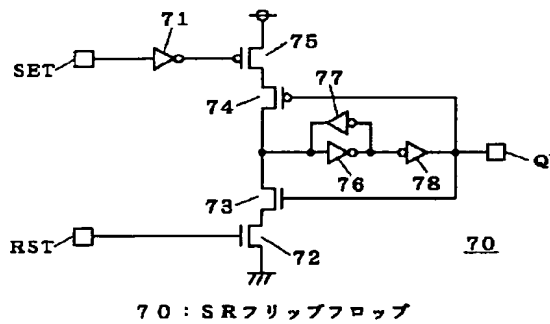
【図15】



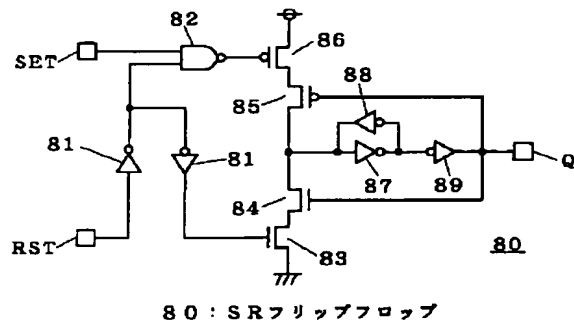
【図16】



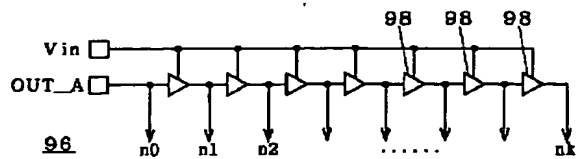
【図17】



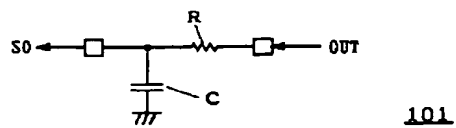
【図18】



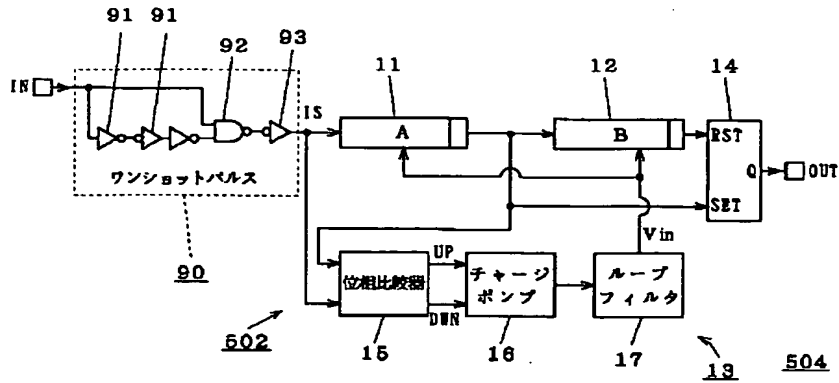
【図22】



【図29】

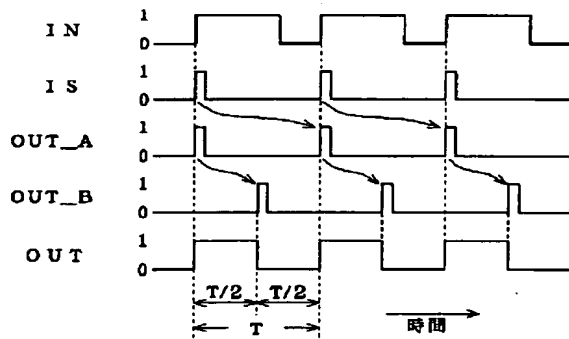


【図 19】

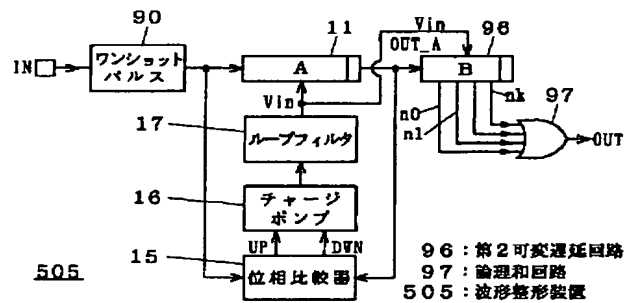


90 : ワンショットパルス回路
504 : 波形整形装置

【図 20】

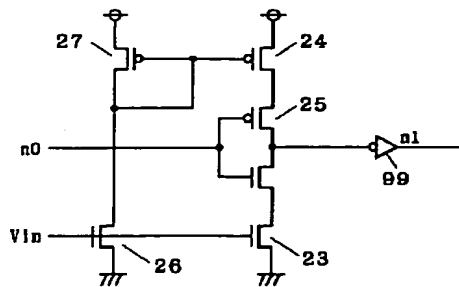


【図 21】



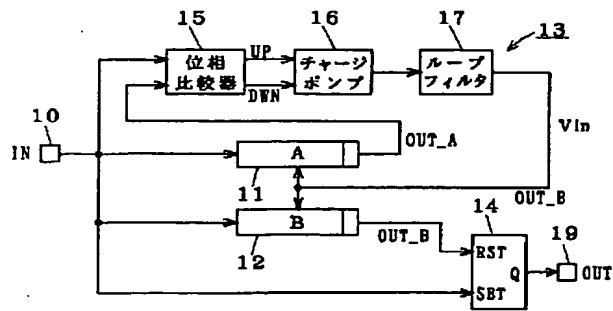
96 : 第2可変遅延回路
97 : 論理和回路
505 : 波形整形装置

【図 23】



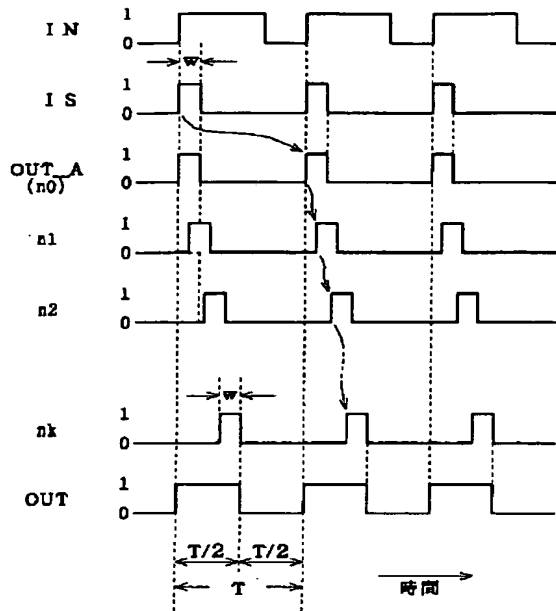
98

【図 25】

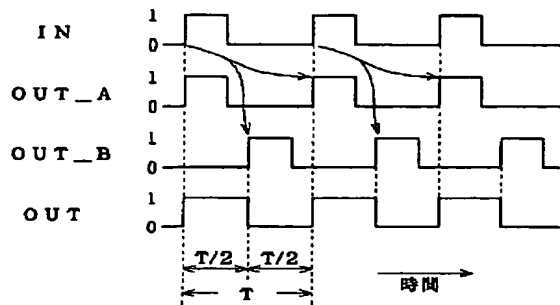


506 : 波形整形装置

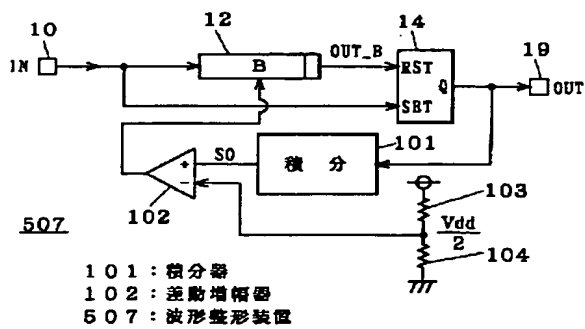
【圖 24】



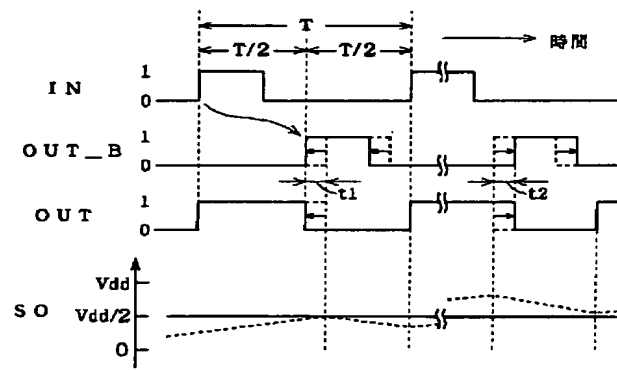
【圖 26】



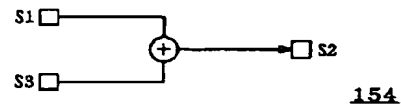
【圖 27】



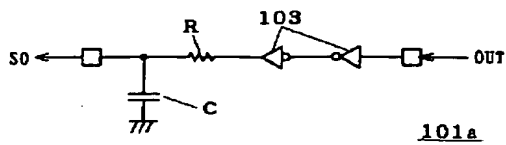
【圖 28】



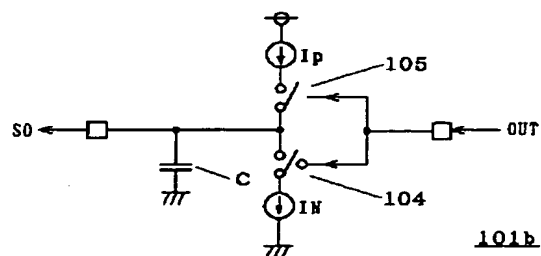
【圖 44】



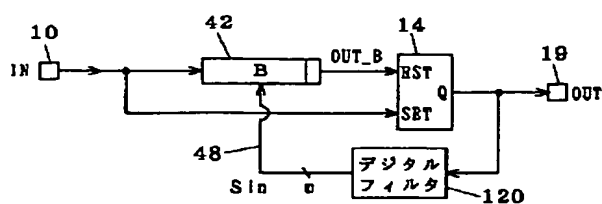
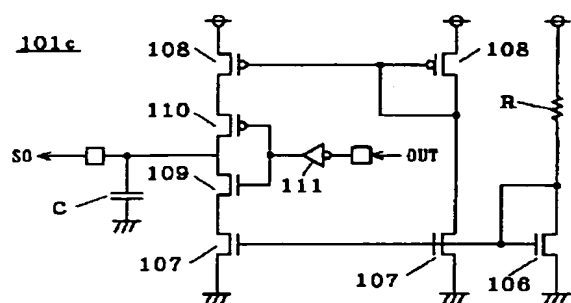
【圖 30】



【圖 31】

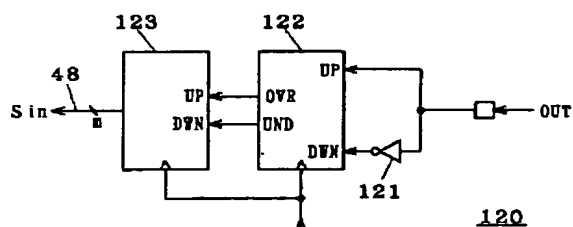


【图 3 3】

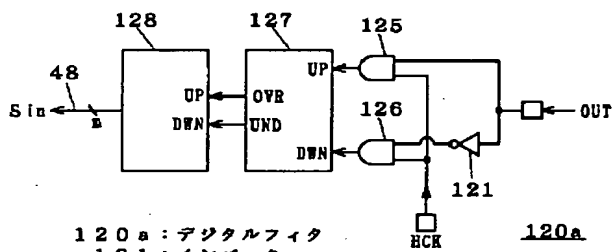


120: デジタルフィルタ
508: 波形成形装置

【図 3 5】

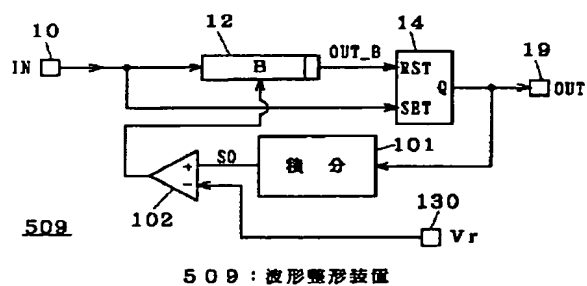


1 2 1 : インバータ
1 2 2 : 第 1 カウンタ
1 2 3 : 第 2 カウンタ

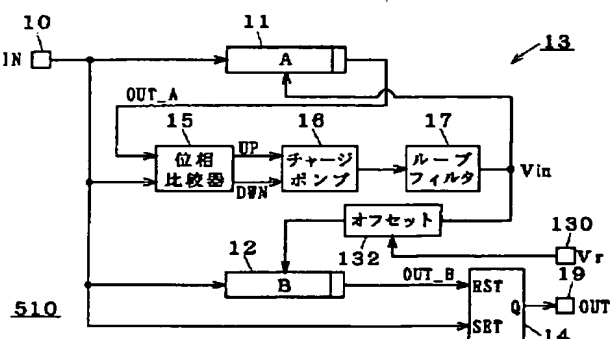


120a: デジタルフィタ
121: インバータ
125, 126: 論理回路
127: 第1カウンタ
128: 第2カウンタ

【図 37】



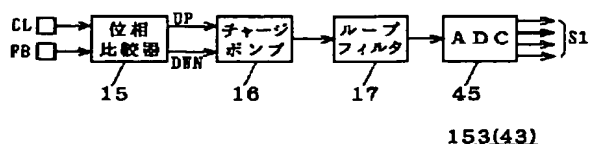
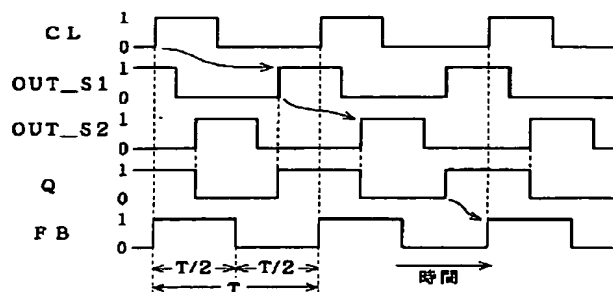
509：波形整形裝置



132: オフセット生成部

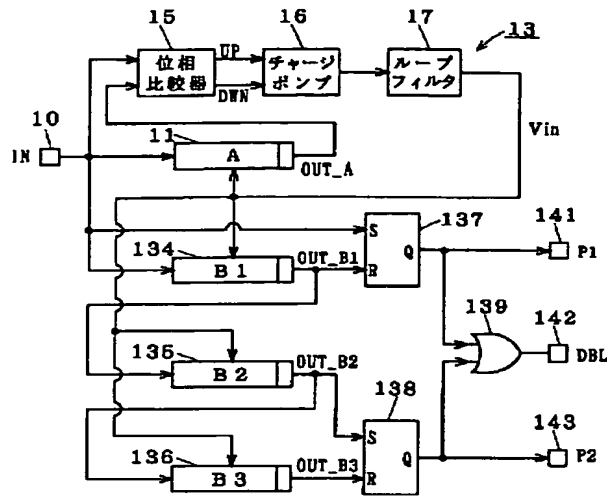
510: 波形整形裝置

【図 4 2】



153(43)

【図38】



511

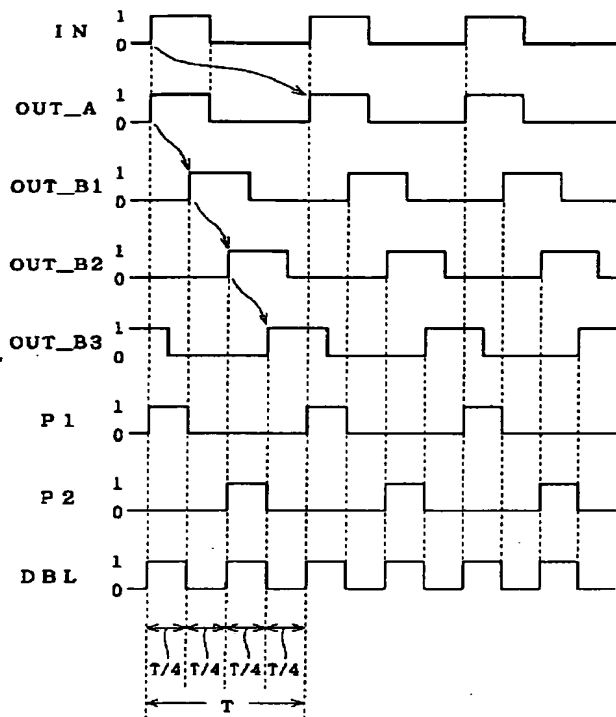
134.135.136: 第2~第4可変遅延回路

137.138: SRフリップフロップ

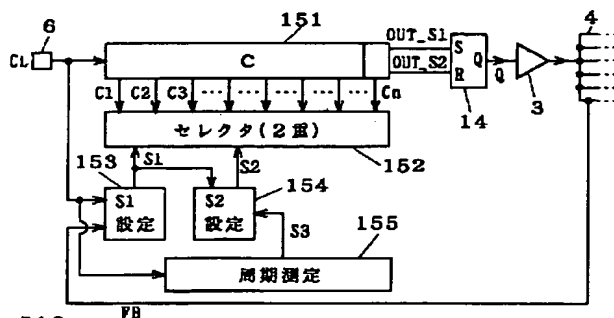
139: 論理和回路

511: 波形整形装置

【図39】



【図40】



512

151: 遅延回路

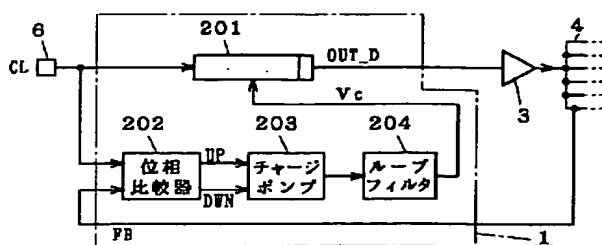
152: セレクタ

153: 第1選択信号生成部

154: 第2選択信号生成部

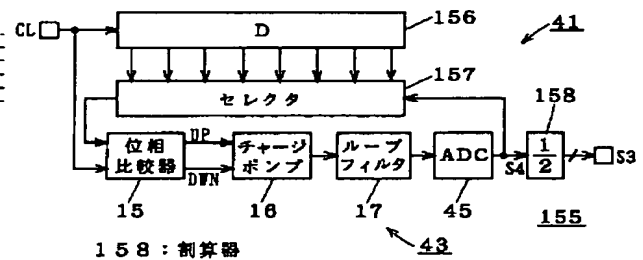
512: クロック供給装置

【図47】



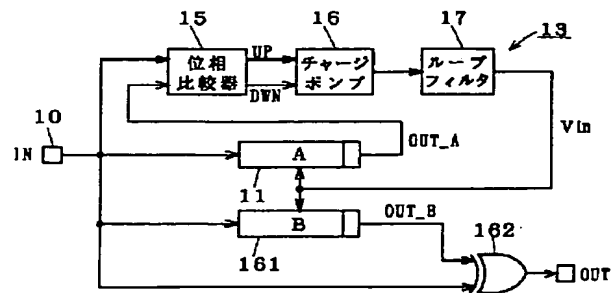
551

【図43】



158: 割算器

【図45】



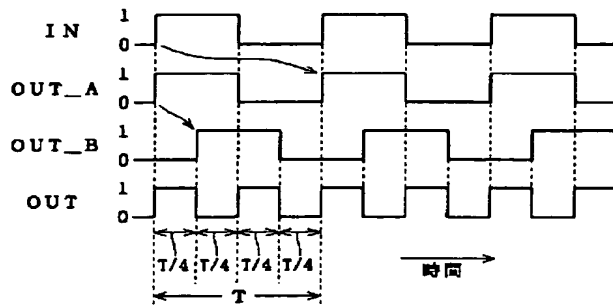
513

161: 第2の可変遅延回路

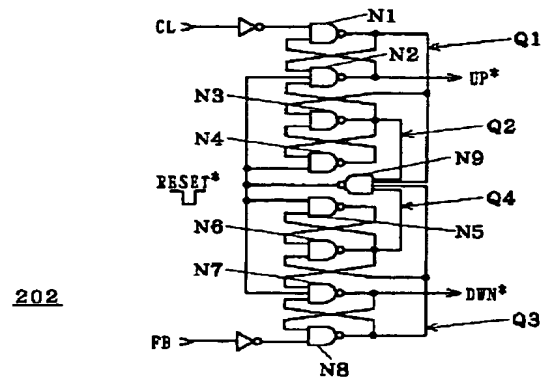
162: 排他的論理和回路

513: 波形整形装置

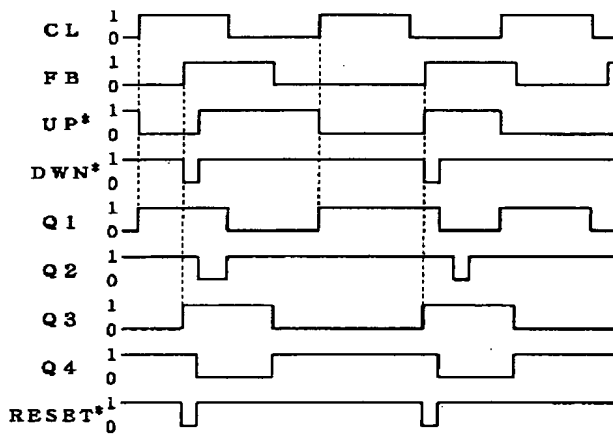
【図46】



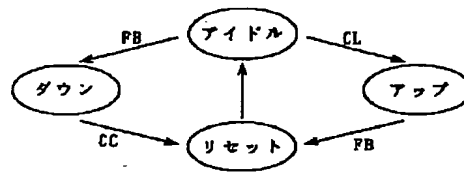
【図48】



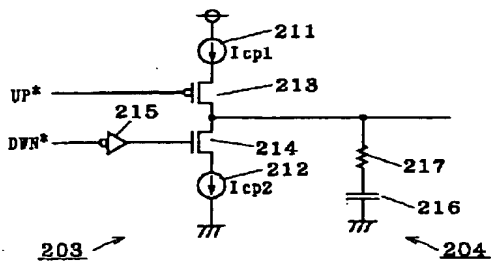
【図49】



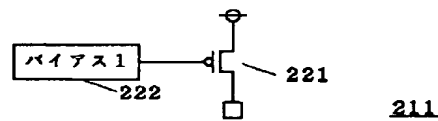
【図50】



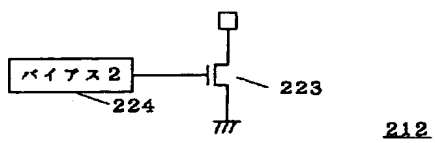
【図51】



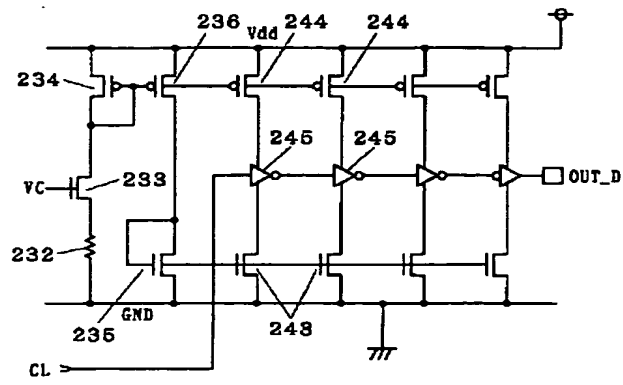
【図52】



【図53】



【図54】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321614

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H03L 7/00
H03K 3/02
H03K 5/125
H03K 17/04

(21)Application number : 08-138452

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 31.05.1996

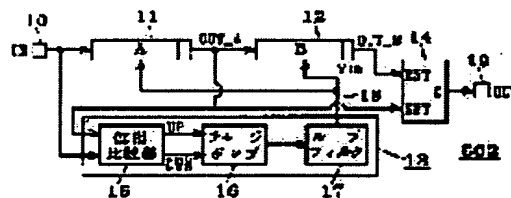
(72)Inventor : KONDO HARUFUSA
ISHIWAKI MASAHIKO
NOTANI HIROMI

(54) WAVEFORM SHAPING DEVICE AND CLOCK APPLICATION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance the operating speed of a device operated according to a clock whose duty ratio is set constant.

SOLUTION: A maximum variable delay of a 1st variable delay circuit 11 is set to be in excess of a period an input clock IN and less than twice the period. The delay quantity of 1st and 2nd variable delay circuits 11, 12 is decreased with a control signal Vin, and a ratio of the delay of the 2nd variable delay circuit 12 to a delay of the 1st variable delay circuit 11 is constant to be less than the unity. A control section 13 increases/decreases the control signal Vin so that a phase of the input clock IN is coincident with a phase of an output clock OUT-A. Since the output clock OUT is set by the output clock OUT-A and reset by an output clock OUT-B, the output clock OUT is a clock signal whose phase is identical to the phase of the input clock IN and whose duty ratio is constant.



LEGAL STATUS

[Date of request for examination] 04.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3688392

[Date of registration] 17.06.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the waveform-shaping equipment which changes the wave of the input clock inputted from the outside, and is outputted as an output clock You input said input clock, make it delayed with the amount of delay which changes in monotone with a control signal, and it outputs as the 1st delay clock. And the 1st adjustable delay circuit which the upper limit of the amount of delay exceeds one period of said input clock, and is set as less than two periods, Either said input clock or said 1st delay clock is inputted. The 2nd adjustable delay circuit which is delayed with the amount of delay which changes maintaining less than one rate of a constant ratio to the amount of delay of said 1st adjustable delay circuit according to said control signal, and is outputted as the 2nd delay clock, The control section which compares the phase of said input clock and said 1st delay clock, and generates and sends out said control signal according to the result, SR flip-flop which a set terminal and a reset terminal are connected to the input side and output side of said 2nd adjustable delay circuit, respectively, and outputs an output signal as said output clock, When the direction of the phase of said 1st delay clock is behind, a preparation and said control section Waveform-shaping equipment characterized by changing said control signal in the direction which the amount of delay of said 1st adjustable delay circuit increases when said control signal is changed in the direction in which the amount of delay of said 1st adjustable delay circuit decreases and the direction of the phase of said 1st delay clock is rash.

[Claim 2] In waveform-shaping equipment according to claim 1, said control section compares the phase of said input clock and said 1st delay clock. A rise signal or a down signal is chosen according to whether one side is delayed on another side, or to be rash. The phase comparator outputted over the period which is equivalent to phase contrast for every round term of said input clock, The charge pump circuit which outputs alternatively forward and negative one side and another side of a current over the period when said rise signal and said down signal are outputted, respectively, Waveform-shaping equipment characterized by having a capacitive element, accumulating the current which said charge pump outputs in said capacitive element, and having the loop filter which outputs the electrical potential difference of the capacitive element concerned as said control signal.

[Claim 3] In waveform-shaping equipment according to claim 1 said 1st adjustable delay circuit and said 2nd adjustable delay circuit Each unit delay element which has the section the first portion of the group of the unit delay element of the same configuration of that cascade connection was carried out, and the second half, respectively so that it may arrange in the shape of a straight line, and constitutes said group The inverter which transmits a signal by such short time delay that the power-source current supplied is large, The current source which answers a bias signal and supplies a power-source current to the inverter concerned Waveform-shaping equipment characterized by sharing further the single bias circuit section in which it has and said 1st adjustable delay circuit and said 2nd adjustable delay circuit supply a common bias signal to said current source belonging to all the unit delay elements that constitute said group according to said control signal.

[Claim 4] In waveform-shaping equipment according to claim 1 said 1st adjustable delay circuit The 1st fixed delay circuit which outputs the train of the output signal which has the group of the 1st unit delay element by which cascade connection was carried out, and is taken out for every fixed numbers [the] of the 1st unit delay element concerned as the 1st signal train, Connect with said 1st fixed delay circuit, and the selection signal of the digital format corresponding to a binary digit is embraced out of said 1st signal train. The 1st selector which chooses one and is outputted as said 1st delay clock in the sequence which the amount of delay increases to the ascending order or descending order of said binary digit, The 2nd fixed delay circuit where a preparation and said 2nd adjustable delay circuit output the train of the output signal which has the group of the 2nd unit delay element by which cascade connection was carried out, and is taken out every 2nd fixed numbers of the 2nd unit delay element concerned as the 2nd signal train, Connect with said 2nd fixed delay circuit, and said selection signal is answered out of said 2nd signal train. It is waveform-shaping equipment which chooses one which has the amount of delay of said fixed ratio to the amount of delay of the signal which said 1st adjustable delay circuit chooses, is equipped with the 2nd selector outputted as said 2nd delay clock, and is characterized by said control section sending out said selection signal as said control signal.

[Claim 5] In waveform-shaping equipment according to claim 4 said 1st and 2nd selectors It is constituted identically mutually. Moreover, the connection relation to said 1st fixed delay circuit of said 1st selector, and the connection relation to said 2nd fixed delay circuit of said 2nd selector It is waveform-shaping equipment characterized by being set up identically mutually, constituting identically said 1st and 2nd unit delay element of each other, and setting up said 1st fixed numbers more greatly than said 2nd fixed numbers.

[Claim 6] In waveform-shaping equipment according to claim 4 said 1st and 2nd selectors It is constituted identically mutually. Said 1st and 2nd fixed delay circuit It is constituted identically mutually. Said control section Said selection signal corresponding to a binary digit is sent out as a parallel signal. The connection relation to said 1st fixed delay circuit of said 1st selector, and the connection relation to said 2nd fixed delay circuit of said 2nd selector Waveform-shaping equipment characterized by being set up identically mutually, shifting and carrying out connection of the wiring between one side of said 1st or 2nd fixed delay circuit, and said control section so that said control signal may carry out a bit shift.

[Claim 7] In waveform-shaping equipment according to claim 4 to 6 Said control section compares the phase of said input clock and said 1st delay clock. A rise signal or a down signal is chosen according to whether one side is delayed on another side, or to be rash. The phase comparator outputted over the period which is equivalent to phase contrast for every round term of said input clock, The charge pump circuit which outputs alternatively forward and negative one side and another side of a current over the period when said rise signal and said down signal are outputted, respectively, Have a capacitive element and the current which said charge pump outputs is accumulated in said capacitive element. Waveform-shaping equipment characterized by having the loop filter which outputs the electrical potential difference of the capacitive element concerned, and the AD converter which changes said electrical potential difference into the signal of the digital format corresponding to a binary digit, and is outputted as said selection signal.

[Claim 8] In waveform-shaping equipment according to claim 4 to 6 Said control section one side and another side of said 1st delay clock and said input clock With D latch who is inputted into a data input terminal and a clock input terminal, respectively, updates according to the level of the signal of said data input terminal, and outputs for every standup to the active level of the signal of said clock input terminal It responds to the level of of said D latch output. With the period of said input clock The 1st counter which performs count-up and a count-down alternatively, Waveform-shaping equipment characterized by having the 2nd counter which said 1st counter synchronizes with said input clock, increases and decreases counted value, respectively overflow and whenever it carries out an underflow, and it sends out as said selection signal.

[Claim 9] In waveform-shaping equipment according to claim 1 or 4, cascade connection is carried out one by one behind said 2nd adjustable delay circuit. And the 3rd adjustable delay circuit of $N (>=1)$ individual where it is constituted identically to said 2nd adjustable delay circuit, and said control signal is inputted as a signal which controls the amount of delay, Said SR flip-flop is used as the 1st SR flip-flop. To the input side and output side of $M (1 <= M <= N)$ individual in the 3rd adjustable delay circuit of said N individual Waveform-shaping equipment characterized by having further the M 2nd SR flip-flops to which the set terminal and the reset terminal were connected, respectively.

[Claim 10] There are said even N individuals in waveform-shaping equipment according to claim 9. Said M pieces are $N/2$ pieces. And said 1st SR flip-flop and said M 2nd SR flip-flops It connects alternately in the group of the adjustable delay circuit which consists of a 2nd adjustable delay circuit and a 3rd adjustable delay circuit of said N individual and by which cascade connection was carried out. Said fixed ratio It is waveform-shaping equipment which is set as $1/(N+2)$, and is characterized by equipping said waveform-shaping equipment with the OR circuit which computes and outputs the OR of the output signal of said 1st SR flip-flop and said M 2nd SR flip-flops further.

[Claim 11] In the waveform-shaping equipment which changes the wave of the input clock inputted from the outside, and is outputted as an output clock The single shot pulse circuit which outputs a single shot pulse synchronizing with the standup to the active level of said input clock, You input said single shot pulse, make it delayed with the amount of delay which changes in monotone with a control signal, and it outputs as the 1st delay clock. And the 1st adjustable delay circuit which the upper limit of the amount of delay exceeds one period of said input clock, and is set as less than two periods, By the delay width of face which changes according to said control signal so that either said single shot pulse or said delay clock may be inputted and the amount of delay of the backmost signal may maintain less than one rate of a constant ratio to the amount of delay of said 1st adjustable delay circuit The phase of the 2nd adjustable delay circuit which outputs the delay signal train which carries out sequential delay, and said single shot pulse and said delay clock is compared. The control section which generates and sends out said control signal according to the result, and the OR circuit which computes the OR of the clock inputted into said 2nd adjustable delay circuit, and said delay signal train, and is outputted as said output clock, When the direction of the phase of said delay clock is behind, a preparation and said control section Waveform-shaping equipment characterized by changing said control signal in the direction which the amount of delay of said 1st adjustable delay circuit increases when said control signal is changed in the direction in which the amount of delay of said 1st adjustable delay circuit decreases and the direction of the phase of said delay clock is rash.

[Claim 12] Waveform-shaping equipment characterized by being inserted between said control sections and said 2nd adjustable delay circuits, superimposing an offset signal on said control signal which said control section sends out in claim 1, claim 4, or waveform-shaping equipment according to claim 11, and having further the offset generation section sent out to said 2nd adjustable delay circuit.

[Claim 13] It is waveform-shaping equipment characterized by being adjustable according to the signal into which the value of said offset signal is inputted from the outside in waveform-shaping equipment according to claim 12.

[Claim 14] It is waveform-shaping equipment which removes the limit of less than two periods of said input clock to the upper limit of the amount of delay of said 1st adjustable delay circuit in waveform-shaping equipment according to claim 13, and is characterized by equipping said waveform-shaping equipment with a means to set the initial value of said control signal as the value which makes said amount of delay min, further.

[Claim 15] In the waveform-shaping equipment which changes the wave of the input clock inputted from the outside, and is outputted as an output clock The adjustable delay circuit where said input clock is inputted, and you make it delayed in with the amount of delay which changes in monotone with a control signal, it outputs as a delay clock, and the upper limit of the amount of delay is moreover set as less than one period of said input clock, SR flip-flop with which said input clock and said delay clock are inputted into a set terminal and a reset terminal, respectively, and output an output signal as said output clocks, On the other hand, the output of the integrator which integrates with and outputs said output clock, and the integrator concerned is connected to the input. When the value concerned of on the other hand an input is larger than the value of an another side input, the amount of delay of said adjustable delay circuit is reduced. Waveform-shaping equipment characterized by having said differential amplifier which, on the other hand, amplifies the difference of the value of an input and an another side input, and is outputted as said control signal in the direction which increases the amount of delay of said adjustable delay circuit when said value of on the other hand an input is smaller.

[Claim 16] Waveform-shaping equipment characterized by having further the reference signal generation section which generates the signal of constant value and is inputted into said another side input in waveform-shaping equipment according to claim 15.

[Claim 17] In the waveform-shaping equipment which changes the wave of the input clock inputted from the outside, and is outputted as an output clock The fixed delay circuit which outputs the signal train which has the group of the unit delay element by which cascade connection was carried out, is made to carry out sequential delay of said input clock for every fixed numbers of said unit delay element, and is acquired, So that it may connect with said fixed delay circuit, the selection signal of the digital format expressed with the binary digit may be answered and the amount of delay may have monotonous relation with said binary digit The selector which chooses one from said signal trains and is outputted as a delay clock, SR flip-flop with which a preparation, said input clock, and said delay clock are inputted into a set terminal and a reset terminal, respectively, and output an output signal as said output clocks, It responds to the level of said output clock. A period shorter than said input clock The 1st counter which performs count-up and a count-down alternatively, Said 1st counter overflow and whenever it carries out an underflow Waveform-shaping equipment characterized by having the 2nd counter which performs alternatively the increment in counted value, one side of reduction, and another side in the direction which cancels the deflection from 50% in the duty ratio of said output clock, and sends out the counted value concerned to it as said selection signal.

[Claim 18] Waveform-shaping equipment characterized by having two single shot pulse circuits where said SR flip-flop generates a single shot pulse synchronizing with the standup to the active level of the clock inputted into each of said set terminal and said reset terminal in claim 1, claim 4, claim 15, or waveform-shaping equipment according to claim 17.

[Claim 19] Waveform-shaping equipment with which said SR flip-flop is characterized by being SR flip-flop of a reset priority mold in claim 1, claim 4, claim 15, or waveform-shaping equipment according to claim 17.

[Claim 20] Waveform-shaping equipment characterized by having further the single shot pulse circuit which outputs a single shot pulse synchronizing with the standup to the active level of said input clock inputted from the outside in claim 1, claim 4, claim 15, or

waveform-shaping equipment according to claim 17, and supplying said single shot pulse instead of said input clock in each part of said waveform-shaping equipment except said single shot pulse circuit.

[Claim 21] Waveform-shaping equipment characterized by having been transposed to the exclusive "or" circuit which said fixed ratio is set as one fourth, and said SR flip-flop computes the exclusive OR of the signal inputted into two input terminals, and is outputted as said output signal in waveform-shaping equipment according to claim 1 or 4, and transposing said set terminal and said reset terminal to said two input terminals.

[Claim 22] In the clock feeder which compensates the delay produced in the process which the input clock supplied from the outside is amplified by the clock driver, and spreads through clock wiring further On the other hand, said input clock is inputted into an input, and the clock fed back from one point of said clock wiring is inputted into an another side input. The DLL equipment which shifts the phase of said input clock in an overdue direction or the direction brought forward, respectively, and outputs it to it, corresponding [said] to whether the phase of the clock of said another side input is [as opposed to / on the other hand / an input] early, or to be late, The clock feeder characterized by changing into constant value the duty ratio of the clock which said DLL equipment outputs, and having waveform-shaping equipment outputted to said clock driver.

[Claim 23] The clock feeder to which it is characterized by said waveform-shaping equipment being claim 1, claim 4, claim 11, claim 15, or waveform-shaping equipment according to claim 17 in a clock feeder according to claim 22.

[Claim 24] In the clock feeder which compensates the delay produced in the process which the input clock supplied from the outside is amplified by the clock driver, and spreads through clock wiring further The fixed delay circuit which outputs the signal train which has the group of the unit delay element by which cascade connection was carried out, is made to carry out sequential delay of said input clock for every fixed numbers of said unit delay element, and is acquired, So that the 1st selection signal of the digital format expressed with the binary digit may be answered and the amount of delay may increase to a line type with said binary digit The 1st selector which chooses one from said signal trains and is outputted as the 1st delay clock, The 2nd selector which answers the 2nd selection signal of the digital format expressed with the binary digit, moreover has the same relation as said 1st selection signal, chooses one from said signal trains, and is outputted as the 2nd delay clock, On the other hand, said input clock is inputted into an input, and the clock fed back from one point of said clock wiring is inputted into an another side input. The 1st selection-signal generation section which it responds [section / said] to whether the phase of the clock of said another side input is [as opposed to / on the other hand / an input] early, or to be late, and increases or decreases said 1st selection signal, respectively, The period-measurement section which measures the period of said input clock, generates the selection signal selectable [one] which has the amount of delay of the one half of said period out of said signal train, and is outputted as the 3rd selection signal, The 2nd selection-signal generation section which adds said 3rd selection signal to said 1st selection signal, and is outputted as said 2nd selection signal, The clock feeder characterized by having SR flip-flop with which said 1st and 2nd delay clock is inputted into a set terminal and a reset terminal, respectively, and outputs an output signal to said clock driver.

[Claim 25] In a clock feeder according to claim 24 said period-measurement section Make said fixed delay circuit into the 1st fixed delay circuit, and it has the group of the unit delay element by which cascade connection was carried out. The signal train which is made to carry out sequential delay of said input clock for every fixed numbers of said unit delay element, and is acquired is outputted. The 2nd fixed delay circuit as the amount of delay of the signal train of said 1st fixed delay circuit where the amount of delay of the signal train concerned is moreover the same, The 3rd selector which answers the 4th selection signal of the digital format expressed with the binary digit, moreover has the same relation as said 1st selection signal, chooses one from said signal trains, and is outputted as the 3rd delay clock, On the other hand, said input clock is inputted into an input, and said 3rd delay clock is inputted into an another side input. The 4th selection-signal generation section which it responds [section / said] to whether the phase of the clock of said another side input is [as opposed to / on the other hand / an input] early, or to be late, and increases or decreases said 4th selection signal, respectively, The clock feeder characterized by having the divider which changes said 4th selection signal into the value of the one half as a binary digit, and outputs it as said 3rd selection signal.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the waveform-shaping equipment which changes the duty ratio of a clock signal, a frequency, etc., and the clock feeder which DLL equipment is combined with waveform-shaping equipment, and changes.

[0002]

[Description of the Prior Art] By only the time amount which does not fill 1 clock period with an external clock a little by the adjustable delay circuit making it delayed, and offsetting the delay generated in a clock driver etc., DLL (Delay Locked Loop) equipment is almost in phase as substantially as an external clock, and is equipment which supplies an internal clock. Since it operates so that how many minutes short delay and the delay produced in a clock driver etc. may be added and it may become 1 clock period from 1 clock period exactly, it seems that the internal clock is supplied without delay.

[0003] Drawing 47 is the block diagram showing the configuration of the conventional clock feeder using DLL equipment used as the background of this invention. drawing 47 -- setting -- 1 -- DLL equipment and 3 -- a clock driver and 4 -- clock wiring and 6 -- a clock input terminal and 201 -- an adjustable delay circuit and 202 -- a phase comparator and 203 -- for a clock feeder and CL, an input clock (external clock) and OUT_D are [a charge pump circuit and 204 / a loop filter and 551 / a control signal and FB of an output clock and Vc] feedback clocks.

[0004] The equipment part which receives supply of a clock through the clock wiring 4 is integrated by the single semiconductor chip in usual. Moreover, it is usually that DLL equipment 1 and the clock driver 3 are similarly made in the same semiconductor chip.

[0005] Drawing 48 is the circuit diagram showing the example of a configuration of the conventional common knowledge of a phase comparator 202. This example is the phase frequency comparator of the Motorola mold. In drawing 48, the output signal of SR flip-flop with which N1-N9 consist of NAND circuits, and Q1-Q4 consist of NAND circuits N1-N8, and UP* is [down signal and RESET* of a rise signal and DWN*] reset signals.

[0006] The signal wave form of each part accompanying actuation of the equipment of drawing 48 is shown in the timing chart of drawing 49. the period which is equivalent to phase contrast when the phase of the feedback clock FB is delayed to the phase of input-clock CL, as shown in drawing 49 -- crossing -- rise signal UP* -- being active (in this case, value "0") -- it becomes. On the contrary, if the phase of the feedback clock FB is rash to the phase of input-clock CL, down signal DWN* will become active over the period equivalent to phase contrast.

[0007] Drawing 50 is the state transition diagram of the equipment of drawing 48. If the idle state to which rise signal UP* or down signal DWN* is not outputted, either is left and input-clock CL starts as shown in drawing 50, rise signal UP* will become active, if the feedback clock FB starts after that, it will be reset, and it returns to an idle state. When the direction of the feedback clock FB starts previously, contrary to this, down signal DWN* becomes active.

[0008] Drawing 51 is the circuit diagram showing the example of a configuration of the conventional common knowledge of the charge pump circuit 203 and a loop filter 204. In drawing 51, 211, 212 is a current to which a PMOS transistor and the current to which in an NMOS transistor and 215 a capacitive element supplies a resistance element and 217, and, as for an inverter and 216, a current source 211 supplies [214] Icp1 supply a current source and 213, and a current source 212 supplies Icp2.

[0009] Drawing 52 is the circuit diagram showing the configuration of a current source 211. In drawing 52, it is the source of bias to which 221 supplies a PMOS transistor to the PMOS transistor 221, and 222 supplies bias voltage.

[0010] Drawing 53 is the circuit diagram showing the configuration of a current source 212. In drawing 53, it is the source of bias to which 223 supplies an NMOS transistor to the NMOS transistor 223, and 224 supplies bias voltage. Supply of the bias voltage by the source 222, 224 of bias is performed so that currents Icp1 and Icp2 may become equal mutually.

[0011] It returns to drawing 51, when active, the PMOS transistor 213 turns [rise signal UP*] on, the current Icp1 which a current source 211 supplies is supplied to a loop filter 204, and a capacitive element 216 is charged. On the contrary, when active, the NMOS transistor 214 turns [down signal DWN*] on, and a capacitive element 216 discharges according to the current Icp2 which a current source 212 supplies.

[0012] That is, rise signal UP* and down signal DWN* supply mutually the currents Icp1 and Icp2 to which the charge pump circuit 203 is set by the current source 211, 212 to hard flow only for an active period to a loop filter 204. This is called a current packet. The current packet of such positive/negative is accumulated by the capacitive element 216 with which a loop filter 204 is equipped.

[0013] Drawing 54 is the circuit diagram showing the example of a configuration of the conventional common knowledge of the adjustable delay circuit 201. For 232, as for an NMOS transistor and 234, 236, 244, in drawing 54, a resistance element and 233, 235, 243 are [a PMOS transistor and 245] inverters. Input-clock CL is inputted into the first rank of the inverter 245 by which cascade connection was carried out, and output clock OUT_D is outputted from the last stage. A time delay is accumulated whenever input-clock CL spreads one step of inverter 245 at a time.

[0014] And the current which flows a resistance element 232 with a control signal Vc is adjusted, and the magnitude of this current is reflected in the magnitude of the current which flows MOS transistor 243, 244 by the current Miller circuit which consists of a PMOS transistor 234, 236 and an NMOS transistor 235, 243, respectively. These MOS transistors 243, 244 function as a current source of an inverter 245.

[0015] That is, the power-source current of each inverter 245 is adjusted by the control signal Vc. A power-source current becomes large, so that the electrical potential difference of a control signal Vc is high. And the time delay of the clock which passes an inverter 245 becomes short, so that the current supplied to an inverter 245 is high. That is, the amount of delay of output clock OUT_D to input-clock CL becomes short, so that the electrical potential difference of a control signal Vc is high.

[0016] It returns to drawing 47, and input-clock CL inputted through the clock input terminal 6 is delayed by DLL equipment 1, and

is outputted as output clock OUT_D. After this output clock OUT_D is amplified by the clock driver 3, it is sent out to the clock wiring 4.

[0017] The clock wiring 4 is making the gestalt of a clock tree in usual. And the clock of the point of the in-between skew of a clock tree is picked up as a feedback clock FB, and is fed back to the phase comparator 202 of DLL equipment 1.

[0018] If the phase of the feedback clock FB is late for the phase of input-clock CL, a phase comparator 202 will output rise signal UP* over the period which is equivalent to phase contrast for every period of input-clock CL. According to it, the charge pump circuit 203 sends a forward current packet into a loop filter 204. Consequently, the control signal Vc which a loop filter 204 outputs goes up. Then, in the adjustable delay circuit 201, the amount of delay decreases, the phase of output clock OUT_D is rash, and the phase of the feedback clock FB approaches the phase of input-clock CL.

[0019] On the contrary, if the phase of the feedback clock FB is rash from the phase of input-clock CL, a phase comparator 202 will output down signal DWN* over the period which is equivalent to phase contrast for every period of input-clock CL. According to it, the charge pump circuit 203 sends a negative current packet into a loop filter 204. Consequently, the control signal Vc which a loop filter 204 outputs descends. Then, in the adjustable delay circuit 201, the amount of delay increases and, as for the phase of delay and the feedback clock FB, the phase of output clock OUT_D approaches the phase of input-clock CL.

[0020] If the phase of the feedback clock FB is in agreement with the phase of input-clock CL, since a phase comparator 202 does not output rise signal UP* or down signal DWN*, either but suspends supply of the current packet to a loop filter 204, a control signal Vc will not change. Therefore, it converges on the phase of input-clock CL, and phase contrast is stabilized by the phase of the feedback clock FB in a zero state. Coincidence of this phase is coincidence on appearance, and is late by one period of input-clock CL correctly. However, it is equivalent to phase contrast being zero practically.

[0021]

[Problem(s) to be Solved by the Invention] As mentioned above, the conventional clock feeder equipped with DLL equipment achieves the function to compensate the time delay of a clock, and, as for the duty ratio relevant to the wave of a clock, the value of input-clock CL is told as it is to the clock wiring 4.

[0022] By the way, what operates in the standup of a clock, and the thing which operates in falling may be intermingled among various equipment parts which receive supply of a clock through the clock wiring 4. In this case, as for the duty ratio of a clock, it is desirable that it is 50%. As an example applicable to this, the case where the flip-flop of an edge trigger and the macro block (for example, circuit block whose hardware scales, such as RAM, FIFO, and ALU, realize a specific, fairly large function) of RAM etc. are intermingled is mentioned.

[0023] It is assumed that the duty ratio of the clock supplied when the equipment part to which the operation started from the standup of a clock is latched in falling of a clock, and the equipment part which carries out the reverse actuation are intermingled is 30%. Then, what is necessary will be just to calculate calmly in the latter equipment part in the former equipment part at 70% of time amount of a clock period to having to finish an operation with 30% of time amount of a clock period.

[0024] If both amount of operations is the same, rate-limiting [of the highest working speed of the whole equipment] will be carried out by the die length of the period whose clock is value "1" (high-level), i.e., 30% of die length of a period. On the other hand, if the duty ratio of a clock is 50%, it will become possible to adopt a high clock frequency compared with the case where it is 30%. That is, it becomes possible to operate the whole equipment at a higher rate. Therefore, it is desirable to serve and equip the clock feeder which has DLL equipment with the waveform-shaping function to change the duty ratio of a clock to 50%.

[0025] Since it is not easy to make this reflect in a design positively for every equipment part being conscious of the operation of the period whose clock is value "1", and the operation of the period which is value "0" (low level), in usual, as described above, it is adopting the clock of 50% of duty ratios, and the margin on a design will be obtained most. However, if there is a clock feeder by the duty ratio of the clock supplied from the outside of a circuit from which a desired duty ratio is obtained ** supposing it can constitute a circuit so that actuation of the maximum high speed may be attained when the duty ratio of a clock is in specific values other than 50%, it will become possible to raise the working speed of a circuit to the maximum at one cup of potentia.

[0026] Moreover, the equipment which needs the clock with which phases differ for every equipment part, and the equipment which needs further the clock with which frequencies differ also exist. However, in the conventional clock feeder which has the function to compensate a phase shift, the clock feeder equipped with the waveform-shaping function to change the duty ratio of the clock supplied from the outside, a frequency, the number of phases, etc. was not known in the former.

[0027] This invention was made in order to cancel the above-mentioned trouble in conventional equipment, it is equipped with a waveform-shaping function with the function to compensate the phase shift of a clock, and aims at offering the clock feeder which can raise the working speed of the equipment which receives supply of a clock by that, and the waveform-shaping equipment suitable for this clock feeder.

[0028]

[Means for Solving the Problem] In the waveform-shaping equipment which the equipment of the 1st invention changes the wave of the input clock inputted from the outside, and is outputted as an output clock You input said input clock, make it delayed with the amount of delay which changes in monotone with a control signal, and it outputs as the 1st delay clock. And the 1st adjustable delay circuit which the upper limit of the amount of delay exceeds one period of said input clock, and is set as less than two periods, Either said input clock or said 1st delay clock is inputted. The 2nd adjustable delay circuit which is delayed with the amount of delay which changes maintaining less than one rate of a constant ratio to the amount of delay of said 1st adjustable delay circuit according to said control signal, and is outputted as the 2nd delay clock, The control section which compares the phase of said input clock and said 1st delay clock, and generates and sends out said control signal according to the result, SR flip-flop which a set terminal and a reset terminal are connected to the input side and output side of said 2nd adjustable delay circuit, respectively, and outputs an output signal as said output clock, When the direction of the phase of said 1st delay clock is behind, a preparation and said control section When said control signal is changed in the direction in which the amount of delay of said 1st adjustable delay circuit decreases and the direction of the phase of said 1st delay clock is rash, it is characterized by changing said control signal in the direction which the amount of delay of said 1st adjustable delay circuit increases.

[0029] In the waveform-shaping equipment of the 1st invention, as for the equipment of the 2nd invention, said control section compares the phase of said input clock and said 1st delay clock. A rise signal or a down signal is chosen according to whether one side is delayed on another side, or to be rash. The phase comparator outputted over the period which is equivalent to phase contrast for every round term of said input clock, The charge pump circuit which outputs alternatively forward and negative one side and another side of a current over the period when said rise signal and said down signal are outputted, respectively, It is characterized by having a capacitive element, accumulating the current which said charge pump outputs in said capacitive element, and having the loop filter which outputs the electrical potential difference of the capacitive element concerned as said control signal.

[0030] The equipment of the 3rd invention is set to the waveform-shaping equipment of the 1st invention. Said 1st adjustable delay

circuit and said 2nd adjustable delay circuit Each unit delay element which has the section the first portion of the group of the unit delay element of the same configuration of that cascade connection was carried out, and the second half, respectively so that it may arrange in the shape of a straight line, and constitutes said group The inverter which transmits a signal by such short time delay that the power-source current supplied is large, The current source which answers a bias signal and supplies a power-source current to the inverter concerned It has and is characterized by sharing further the single bias circuit section in which said 1st adjustable delay circuit and said 2nd adjustable delay circuit supply a common bias signal to said current source belonging to all the unit delay elements that constitute said group according to said control signal.

[0031] The equipment of the 4th invention is set to the waveform-shaping equipment of the 1st invention. Said 1st adjustable delay circuit The 1st fixed delay circuit which outputs the train of the output signal which has the group of the 1st unit delay element by which cascade connection was carried out, and is taken out for every fixed numbers [the] of the 1st unit delay element concerned as the 1st signal train, Connect with said 1st fixed delay circuit, and the selection signal of the digital format corresponding to a binary digit is embraced out of said 1st signal train. The 1st selector which chooses one and is outputted as said 1st delay clock in the sequence which the amount of delay increases to the ascending order or descending order of said binary digit, The 2nd fixed delay circuit where a preparation and said 2nd adjustable delay circuit output the train of the output signal which has the group of the 2nd unit delay element by which cascade connection was carried out, and is taken out every 2nd fixed numbers of the 2nd unit delay element concerned as the 2nd signal train, Connect with said 2nd fixed delay circuit, and said selection signal is answered out of said 2nd signal train. One which has the amount of delay of said fixed ratio to the amount of delay of the signal which said 1st adjustable delay circuit chooses is chosen, it has the 2nd selector outputted as said 2nd delay clock, and said control section is characterized by sending out said selection signal as said control signal.

[0032] The equipment of the 5th invention is set to the waveform-shaping equipment of the 4th invention. Said 1st and 2nd selectors It is constituted identically mutually. Moreover, the connection relation to said 1st fixed delay circuit of said 1st selector, and the connection relation to said 2nd fixed delay circuit of said 2nd selector It is set up identically mutually, said 1st and 2nd unit delay element of each other is constituted identically, and it is characterized by setting up said 1st fixed numbers more greatly than said 2nd fixed numbers.

[0033] The equipment of the 6th invention is set to the waveform-shaping equipment of the 4th invention. Said 1st and 2nd selectors It is constituted identically mutually. Said 1st and 2nd fixed delay circuit It is constituted identically mutually. Said control section Said selection signal corresponding to a binary digit is sent out as a parallel signal. The connection relation to said 1st fixed delay circuit of said 1st selector, and the connection relation to said 2nd fixed delay circuit of said 2nd selector It is set up identically mutually and characterized by shifting and carrying out connection of the wiring between one side of said 1st or 2nd fixed delay circuit, and said control section so that said control signal may carry out a bit shift.

[0034] The equipment of the 7th invention is set to the 4th thru/or the waveform-shaping equipment of the 6th one of invention. Said control section compares the phase of said input clock and said 1st delay clock. A rise signal or a down signal is chosen according to whether one side is delayed on another side, or to be rash. The phase comparator outputted over the period which is equivalent to phase contrast for every round term of said input clock, The charge pump circuit which outputs alternatively forward and negative one side and another side of a current over the period when said rise signal and said down signal are outputted, respectively, Have a capacitive element and the current which said charge pump outputs is accumulated in said capacitive element. It is characterized by having the loop filter which outputs the electrical potential difference of the capacitive element concerned, and the AD converter which changes said electrical potential difference into the signal of the digital format corresponding to a binary digit, and is outputted as said selection signal.

[0035] The equipment of the 8th invention is set to the 4th thru/or the waveform-shaping equipment of the 6th one of invention. Said control section one side and another side of said 1st delay clock and said input clock With D latch who is inputted into a data input terminal and a clock input terminal, respectively, updates according to the level of the signal of said data input terminal, and outputs for every standup to the active level of the signal of said clock input terminal It responds to the level of of said D latch output. With the period of said input clock The 1st counter which performs count-up and a count-down alternatively, Overflow and whenever it carries out an underflow, said 1st counter synchronizes with said input clock, increases and decreases counted value, respectively, and it is characterized by having the 2nd counter sent out as said selection signal.

[0036] The equipment of the 9th invention is set to the 1st or the waveform-shaping equipment of the 4th invention. The 3rd adjustable delay circuit of N (≥ 1) individual where cascade connection is carried out one by one behind said 2nd adjustable delay circuit, it is moreover constituted identically to said 2nd adjustable delay circuit, and said control signal is inputted as a signal which controls the amount of delay, Said SR flip-flop is used as the 1st SR flip-flop, and it is characterized by having further the M 2nd SR flip-flops by which the set terminal and the reset terminal were connected to the input side and output side of M ($1 \leq M \leq N$) individual in the 3rd adjustable delay circuit of said N individual, respectively.

[0037] In the waveform-shaping equipment of the 9th invention, there are said even N individuals of the equipment of the 10th invention. Said M pieces are $N/2$ pieces. And said 1st SR flip-flop and said M 2nd SR flip-flops It connects alternately in the group of the adjustable delay circuit which consists of a 2nd adjustable delay circuit and a 3rd adjustable delay circuit of said N individual and by which cascade connection was carried out. Said fixed ratio It is set as $1/(N+2)$, and said waveform-shaping equipment is characterized by having further the OR circuit which computes and outputs the OR of the output signal of said 1st SR flip-flop and said M 2nd SR flip-flops.

[0038] In the waveform-shaping equipment which the equipment of the 11th invention changes the wave of the input clock inputted from the outside, and is outputted as an output clock The single shot pulse circuit which outputs a single shot pulse synchronizing with the standup to the active level of said input clock, You input said single shot pulse, make it delayed with the amount of delay which changes in monotone with a control signal, and it outputs as the 1st delay clock. And the 1st adjustable delay circuit which the upper limit of the amount of delay exceeds one period of said input clock, and is set as less than two periods, By the delay width of face which changes according to said control signal so that either said single shot pulse or said delay clock may be inputted and the amount of delay of the backmost signal may maintain less than one rate of a constant ratio to the amount of delay of said 1st adjustable delay circuit The phase of the 2nd adjustable delay circuit which outputs the delay signal train which carries out sequential delay, and said single shot pulse and said delay clock is compared. The control section which generates and sends out said control signal according to the result, and the OR circuit which computes the OR of the clock inputted into said 2nd adjustable delay circuit, and said delay signal train, and is outputted as said output clock, When the direction of the phase of said delay clock is behind, a preparation and said control section When said control signal is changed in the direction in which the amount of delay of said 1st adjustable delay circuit decreases and the direction of the phase of said delay clock is rash, it is characterized by changing said control signal in the direction which the amount of delay of said 1st adjustable delay circuit increases.

[0039] The equipment of the 12th invention is characterized by being inserted between said control sections and said 2nd adjustable

delay circuits, superimposing an offset signal on said control signal which said control section sends out, and having further the offset generation section sent out to said 2nd adjustable delay circuit in the 1st, the 4th, or the waveform-shaping equipment of the 11th invention.

[0040] The equipment of the 13th invention is characterized by the value of said offset signal being adjustable according to the signal inputted from the outside in the waveform-shaping equipment of the 12th invention.

[0041] In the waveform-shaping equipment of the 13th invention, the equipment of the 14th invention removes the limit of less than two periods of said input clock to the upper limit of the amount of delay of said 1st adjustable delay circuit, and is characterized by having further a means to set the initial value of said control signal as the value which makes said amount of delay min.

[0042] In the waveform-shaping equipment which the equipment of the 15th invention changes the wave of the input clock inputted from the outside, and is outputted as an output clock The adjustable delay circuit where said input clock is inputted, and you make it delayed in with the amount of delay which changes in monotone with a control signal, it outputs as a delay clock, and the upper limit of the amount of delay is moreover set as less than one period of said input clock, SR flip-flop with which said input clock and said delay clock are inputted into a set terminal and a reset terminal, respectively, and output an output signal as said output clocks, On the other hand, the output of the integrator which integrates with and outputs said output clock, and the integrator concerned is connected to the input. When the value concerned of on the other hand an input is larger than the value of an another side input, the amount of delay of said adjustable delay circuit is reduced. It is characterized by having said differential amplifier which, on the other hand, amplifies the difference of the value of an input and another side input, and is outputted as said control signal in the direction which increases the amount of delay of said adjustable delay circuit when said value of on the other hand an input is smaller.

[0043] The equipment of the 16th invention is characterized by having further the reference signal generation section which generates the signal of constant value and is inputted into said another side input in the waveform-shaping equipment of the 15th invention.

[0044] In the waveform-shaping equipment which the equipment of the 17th invention changes the wave of the input clock inputted from the outside, and is outputted as an output clock The fixed delay circuit which outputs the signal train which has the group of the unit delay element by which cascade connection was carried out, is made to carry out sequential delay of said input clock for every fixed numbers of said unit delay element, and is acquired, So that it may connect with said fixed delay circuit, the selection signal of the digital format expressed with the binary digit may be answered and the amount of delay may have monotonous relation with said binary digit The selector which chooses one from said signal trains and is outputted as a delay clock, SR flip-flop with which a preparation, said input clock, and said delay clock are inputted into a set terminal and a reset terminal, respectively, and output an output signal as said output clocks, It responds to the level of said output clock. A period shorter than said input clock The 1st counter which performs count-up and a count-down alternatively, Said 1st counter overflow and whenever it carries out an underflow It is characterized by having the 2nd counter which performs alternatively the increment in counted value, one side of reduction, and another side in the direction which cancels the deflection from 50% in the duty ratio of said output clock, and sends out the counted value concerned to it as said selection signal.

[0045] The equipment of the 18th invention is characterized by having two single shot pulse circuits where said SR flip-flop generates a single shot pulse synchronizing with the standup to the active level of the clock inputted into each of said set terminal and said reset terminal in the 1st, the 4th, the 15th, or the waveform-shaping equipment of the 17th invention.

[0046] The equipment of the 19th invention is characterized by said SR flip-flop being an SR flip-flop of a reset priority mold in the 1st, the 4th, the 15th, or the waveform-shaping equipment of the 17th invention.

[0047] In the 1st, the 4th, the 15th, or the waveform-shaping equipment of the 17th invention, the equipment of the 20th invention is further equipped with the single shot pulse circuit which outputs a single shot pulse synchronizing with the standup to the active level of said input clock inputted from the outside, and is characterized by supplying said single shot pulse instead of said input clock in each part of said waveform-shaping equipment except said single shot pulse circuit.

[0048] The equipment of the 21st invention is characterized by setting said fixed ratio as one fourth, having been transposed to the exclusive "or" circuit which said SR flip-flop computes the exclusive OR of the signal inputted into two input terminals, and outputs as said output signal, and transposing said set terminal and said reset terminal to said two input terminals in the 1st or the waveform-shaping equipment of the 4th invention.

[0049] In the clock feeder which the input clock to which the equipment of the 22nd invention was supplied from the outside compensates for the delay which arises in the process which it is amplified by the clock driver and is further spread through clock wiring On the other hand, said input clock is inputted into an input, and the clock fed back from one point of said clock wiring is inputted into another side input. The DLL equipment which shifts the phase of said input clock in an overdue direction or the direction brought forward, respectively, and outputs it to it, corresponding [said] to whether the phase of the clock of said another side input is [as opposed to / on the other hand / an input] early, or to be late, It is characterized by changing into constant value the duty ratio of the clock which said DLL equipment outputs, and having waveform-shaping equipment outputted to said clock driver.

[0050] The equipment of the 23rd invention is characterized by said waveform-shaping equipment being the 1st, the 4th, the 11th, the 15th, or waveform-shaping equipment of the 17th invention in the clock feeder of the 22nd invention.

[0051] In the clock feeder which the input clock to which the equipment of the 24th invention was supplied from the outside compensates for the delay which arises in the process which it is amplified by the clock driver and is further spread through clock wiring The fixed delay circuit which outputs the signal train which has the group of the unit delay element by which cascade connection was carried out, is made to carry out sequential delay of said input clock for every fixed numbers of said unit delay element, and is acquired, So that the 1st selection signal of the digital format expressed with the binary digit may be answered and the amount of delay may increase to a line type with said binary digit The 1st selector which chooses one from said signal trains and is outputted as the 1st delay clock, The 2nd selector which answers the 2nd selection signal of the digital format expressed with the binary digit, moreover has the same relation as said 1st selection signal, chooses one from said signal trains, and is outputted as the 2nd delay clock, On the other hand, said input clock is inputted into an input, and the clock fed back from one point of said clock wiring is inputted into another side input. The 1st selection-signal generation section which it responds [section / said] to whether the phase of the clock of said another side input is [as opposed to / on the other hand / an input] early, or to be late, and increases or decreases said 1st selection signal, respectively, The period-measurement section which measures the period of said input clock, generates the selection signal selectable [one] which has the amount of delay of the one half of said period out of said signal train, and is outputted as the 3rd selection signal, The 2nd selection-signal generation section which adds said 3rd selection signal to said 1st selection signal, and is outputted as said 2nd selection signal, Said 1st and 2nd delay clock is inputted into a set terminal and a reset terminal, respectively, and is characterized by having SR flip-flop which outputs an output signal to said clock driver.

[0052] The equipment of the 25th invention is set to the clock feeder of the 24th invention. Said period-measurement section makes said fixed delay circuit the 1st fixed delay circuit, and has the group of the unit delay element by which cascade connection was carried out. The signal train which is made to carry out sequential delay of said input clock for every fixed numbers of said unit delay

element, and is acquired is outputted. The 2nd fixed delay circuit as the amount of delay of the signal train of said 1st fixed delay circuit where the amount of delay of the signal train concerned is moreover the same, The 3rd selector which answers the 4th selection signal of the digital format expressed with the binary digit, moreover has the same relation as said 1st selection signal, chooses one from said signal trains, and is outputted as the 3rd delay clock. On the other hand, said input clock is inputted into an input, and said 3rd delay clock is inputted into another side input. The 4th selection-signal generation section which it responds [section / said] to whether the phase of the clock of said another side input is [as opposed to / on the other hand / an input] early, or to be late, and increases or decreases said 4th selection signal, respectively, It is characterized by having the divider which changes said 4th selection signal into the value of the one half as a binary digit, and outputs it as said 3rd selection signal.

[0053]

[Embodiment of the Invention]

<Gestalt 1 of 1. operation> drawing 2 is the block diagram showing the configuration of the clock feeder of the gestalt 1 of operation. In addition, in the following drawings, conventionally, the same sign shown in drawing 47 - drawing 54 is given to the same part as equipment, and the detailed explanation is abbreviated to it.

[0054] In drawing 2, the output clock with which DLL equipment, the input clock as which clock wiring, the input clock (external clock) into which feedback wiring and 8 are inputted into for a clock input terminal and 7, and clock driver input wiring and CL are inputted [6] for DLL equipment output wiring and 9 from the outside, and FB are inputted into a feedback clock, and IN is inputted [2 / waveform-shaping equipment and 3] into waveform-shaping equipment 2 for a clock driver and 4, and OUT are outputted from waveform-shaping equipment 2 for 1, and 501 are clock feeders.

[0055] Moreover, 5 is object equipment (system) which operates synchronizing with the clock which is connected to the clock feeder 501 and supplied from the clock feeder 501. Object equipment 5 is equipped with much latches L who operate synchronizing with a clock as shown in drawing 1. With the large component of scales, such as LSI, Latch's L numbers are usually thousands thru/or more than it. For this reason, the clock wiring 4 is making the gestalt of a clock tree in usual.

[0056] As DLL equipment 1 and the clock driver 3 were shown in drawing 47, all are well-known equipment conventionally. Moreover, waveform-shaping equipment 2 is constituted as a duty ratio recovery device which changes into a clock with 50% of duty ratio the input clock IN which has the duty ratio of arbitration. Therefore, the clock which has 50% of duty ratio is supplied to object equipment 5 from the clock feeder 501.

[0057] Furthermore, the clock signal is returned to one of the 2 inputs of DLL equipment 1 as a feedback clock FB from one in the clock wiring 4. Namely, in the clock feeder 501, as for the conventional clock feeder 551, it differs characteristic in that waveform-shaping equipment 2 is inserted between DLL equipment 1 and the clock driver 3.

[0058] The signal wave form of each part of this clock feeder 501 is shown in the timing chart of drawing 3. In drawing 3, T is the period of input-clock CL. After an input clock IN is shaped in waveform by work of waveform-shaping equipment 2 so that a duty ratio may become 50%, it is outputted as an output clock OUT. Consequently, the duty ratio of the feedback clock FB, i.e., the clock in one point of the clock wiring 4, is also changed to 50%.

[0059] And the phase of the feedback clock FB is in agreement with the phase and equivalence target of input-clock CL with work of DLL equipment 1. In the example of drawing 3, the feedback clock FB is late by two periods for input-clock CL, and equivalent phase contrast is canceled.

[0060] As mentioned above, the duty ratio of a clock is recovered to 50%, without spoiling the delay compensation function by DLL equipment 1, since it consists of clock feeders 501 as waveform-shaping equipment 2 was inserted into the loop formation of DLL equipment 1. And there are advantages also including delay of the clock produced with waveform-shaping equipment 2 that delay between input-clock CL and the feedback clock FB is canceled equivalent.

[0061] Since the clock with which delay compensation was moreover made for the duty ratio at 50% is supplied to object equipment 5 by using the clock feeder 501, when it has the equipment part which synchronizes with the equipment part with which the object equipment 5 which needs delay compensation synchronizes with the standup of a clock, and falling, the working speed can be raised.

[0062] <Gestalt 2 which is 2. operation> Below, the waveform-shaping equipment of the gestalt 2 of operation is explained.

[0063] <Whole> 2-1. equipment drawing 1 is the block diagram showing the configuration of the waveform-shaping equipment of the gestalt 2 of operation. This waveform-shaping equipment 502 is constituted as a duty ratio recovery device which changes and outputs the duty ratio of an input clock to 50%, and fits the use as waveform-shaping equipment 2 of the clock feeder 501 mentioned above.

[0064] As shown in drawing 1, equipment 502 is mainly constituted by the analog circuit. drawing 1 - setting - 10 - a clock input terminal and 11 - the 1st adjustable delay circuit and 12 - the 2nd adjustable delay circuit and 13 - a control section and 14 - SR flip-flop and 15 - a phase comparator and 16 - for a control signal line and 19, a clock output terminal and Vin are [a charge pump circuit and 17 / a loop filter and 18 / the output clock of the 1st delay circuit 11 and OUT_B of a control signal and OUT_A] the output clocks of the 2nd delay circuit 12.

[0065] The control signal Vin which a loop filter 17 outputs is inputted common to the both sides of the 1st adjustable delay circuit 11 and the 2nd adjustable delay circuit 12. And the 1st adjustable delay circuit 11 delays the input clock IN inputted from the clock input terminal 10 with the amount of delay according to a control signal Vin, and is outputted as output clock OUT_A. Similarly, output clock OUT_A inputted is further delayed with the amount of delay according to a control signal Vin, and the 2nd adjustable delay circuit 12 outputs it as output clock OUT_B.

[0066] And these 1st adjustable delay circuit 11 and the 2nd adjustable delay circuit 12 consist of under the control signal Vin of the same magnitude so that the amount of delay of the 2nd adjustable delay circuit 12 may always serve as half [of the amount of delay of the 1st adjustable delay circuit 11], namely, - between the amount delay of delay of the 1st adjustable delay circuit 11 (A), and the amounts delay of delay of the 2nd adjustable delay circuit 12 (B) - always - {delay(A)=2 and delay(B)} (formula 1) - the relation of ** is maintained. Furthermore, the amount of maximum adjustable delay of the 1st adjustable delay circuit 11 is larger than the clock period (for example, if it is a 100MHz clock 10ns) of an input clock IN, and it is set up so that it may moreover become under 2 double [of a period].

[0067] The phase comparator 15 with which a control section 13 is equipped, the charge pump circuit 16, and a loop filter 17 are equipment parts which operate conventionally like the phase comparator 202 in equipment 551, the charge pump circuit 203, and a loop filter 204, respectively. A phase comparator 15 compares a phase between an input clock IN and output clock OUT_A, and sends out the rise signal UP or the down signal DWN according to the result.

[0068] These rise signals UP and the down signal DWN are changed into a current packet, and the charge pump circuit 16 outputs them to a loop filter 17. A loop filter 17 outputs the voltage signal corresponding to the amount of addition of the inputted current packet as a control signal Vin.

[0069] Output clock OUT_A is inputted into the set terminal SET of the SR flip-flop 14, and output clock OUT_B is inputted into the reset terminal RST. And the output of the noninverting output terminal Q of the SR flip-flop 14 is outputted to the exterior as an output

clock OUT through the clock output terminal 19. In addition, SR flip-flop of reset priority is used for the SR flip-flop 14.

[0070] Drawing 4 is a timing chart which shows the signal wave form of each part of waveform-shaping equipment 502. In drawing 4, T is the period of an input clock IN. The clock which generally has the duty ratio which is not necessarily 50% as an input clock IN is inputted.

[0071] Since the control signal Vin which an input clock IN and output clock OUT_A are inputted into a control section 13, and a control section 13 outputs to it is outputted to the 1st adjustable delay circuit 11, the 1st adjustable delay circuit 11 and a control section 13 constitute a kind of DLL equipment. For this reason, a phase is in agreement seemingly between output clock OUT_A and an input clock IN.

[0072] Since the amount of maximum adjustable delay of the 1st adjustable delay circuit 11 is set as the following by two periods of an input clock IN, output clock OUT_A is delayed from an input clock IN by one period ($=T$), and equivalent coincidence of a phase is obtained. And the amount of delay of the 2nd adjustable delay circuit 12 serves as half [of a period T] ($=T/2$) according to the relation of a formula 1.

[0073] The SR flip-flop 14 is set synchronizing with the standup (transition to 0-1) of output clock OUT_A, and is reset synchronizing with the standup of output clock OUT_B. For this reason, it starts synchronizing with the standup of output clock OUT_A, the output OUT, i.e., the output clock, of the noninverting output terminal Q, and it falls synchronizing with the standup of output clock OUT_B (it changes to 1-0). Consequently, the standup period (period which is 1) of the output clock OUT serves as half [of a period T]. That is, the duty ratio of the output clock OUT becomes 50%.

[0074] As mentioned above, waveform-shaping equipment 502 functions as a duty ratio recovery device which changes and outputs the duty ratio of the arbitration of an input clock IN to 50%.

[0075] In addition, as initial value of the amount of delay of the 1st adjustable delay circuit 11, it is desirable to set it as the minimum amount of delay. As for the initial value of a control signal Vin, in other words, it is desirable to set it as the highest value. This is not required if the amount of the maximum delay of the 1st adjustable delay circuit 11 is under 2 double [of a period T] surely in consideration of insurance. When the amount of the maximum delay of the adjustable delay circuit 11 may become twice [more than] the period T at relation, such as a manufacture error, the point (the amount of delay) which a phase locks in stability becomes less single. Consequently, a possibility that desired actuation may not be carried out arises. Also in this case, if actuation begins from the direction with few amounts of delay, the advantage of not locking in the amount of delay exceeding a period T, and being stably locked in the amount of delay of a period T will be born.

[0076] For this purpose, it is good to be made to carry out the charge up of the loop filter 17 preparatorily so that for example, a power-on-reset circuit may be prepared additionally and a control signal Vin may reach a power up even at the potential of a high potential side power-source line using the pulse which this power-on-reset circuit generates. Or instead of preparing a power-on-reset circuit, using the reset signal given from the outside, you may constitute so that the charge up of the loop filter 17 may be carried out preparatorily similarly.

[0077] <2-2. adjustable delay circuit: The 1> drawing 5 is the circuit diagram showing the suitable configuration of an adjustable delay circuit for the adjustable delay circuits 11 and 12 of waveform-shaping equipment 502.

[0078] The adjustable delay circuit 20 is equipped with the bias circuit section 21, the 1st adjustable delay circuit 11, and the 2nd adjustable delay circuit 12. That is, in the adjustable delay circuit 20, the 1st adjustable delay circuit 11 and the 2nd adjustable delay circuit 12 are incorporated in single equipment.

[0079] The bias circuit section 21 is equipped with the NMOS transistor 26 and the PMOS transistor 27 which were connected to the serial between the high potential power-source line and the touch-down potential power-source line. And the gate electrode and drain electrode of the PMOS transistor 27 are short-circuited mutually. Moreover, the control signal Vin is inputted into the gate electrode of the NMOS transistor 26.

[0080] The adjustable delay circuit 20 is equipped with two or more unit delay circuits by which cascade connection was carried out still more nearly mutually, moreover, the 1st adjustable delay circuit 11 is constituted by the amount of [from the first rank to a certain stage] first portion, and the 2nd adjustable delay circuit 12 is constituted by the part the second half in which it has the unit delay circuit of the one half for the first portion. Output clock OUT_A is obtained from the connection of a part a part for the first portion, and the second half, and output clock OUT_B is obtained from the last stage.

[0081] Each unit delay circuit is equipped with the inverter 25. This inverter 25 consists of the NMOS transistors and PMOS transistors to which the gate electrode of each other was connected while the drain electrode of each other is connected. And another PMOS transistor 24 is inserted between the source electrode of the PMOS transistor which constitutes an inverter 25, and a high potential power-source line, and, similarly another NMOS transistor 23 is inserted between the source electrode of an NMOS transistor, and the touch-down potential power-source line.

[0082] An input clock IN is inputted into the gate electrode of the first rank of an inverter 25. And each inverter 25 is the gestalt with which the drain electrode of the preceding paragraph is connected to the gate electrode of the next step, and cascade connection is carried out. [each other] Moreover, the gate of all the PMOS transistors 24 and PMOS transistors 27 is mutually connected through the bias wiring 29. Similarly, the gate electrode of all the NMOS transistors 23 and NMOS transistors 26 is mutually connected through the bias wiring 28.

[0083] The adjustable delay circuit 20 operates as follows. That is, in the bias circuit section 21, the current of the magnitude according to the magnitude of the control signal Vin which is a voltage signal flows from a high potential power-source line to a touch-down potential power-source line. Since the gate electrode of the PMOS transistor 27 is connected with the drain electrode too hastily, the bias voltage equivalent to a control signal Vin is impressed to the gate electrode of the PMOS transistor 27 according to the current which flows the bias circuit section 21.

[0084] Since such control signals Vin and bias voltage are supplied to the gate electrode of all the NMOS transistors 23 and PMOS transistors 24 in common, respectively, the current of the same magnitude as the current which flows the bias circuit section 21 flows each unit delay circuit. That is, the magnitude of the current which flows all unit delay circuits is adjusted in common by the control signal Vin. The flowing current contributes a unit delay circuit as a power-source current of an inverter 25.

[0085] The propagation delay time of an inverter 25 is shortened, so that a power-source current is large. Therefore, the amount of delay in a unit delay circuit is shortened, so that a control signal Vin is large. In the amount of delay, among all unit delay circuits, ** [according to / a control signal Vin], since it is always mutually common, the amount of delay of the 2nd adjustable delay circuit 12 always serves as half [of the 1st adjustable delay circuit 11]. That is, the adjustable delay circuit 20 can obtain the amount of delay according to a control signal Vin, maintaining the relation of a formula 1.

[0086] Thus, in the adjustable delay circuit 20, since the power-source current of common magnitude is supplied to the 1st adjustable delay circuit 11 and the 2nd adjustable delay circuit 12 so that the unit delay circuit of the same structure may be equipped with the number of 2:1 and may moreover become common [a time delay] among all unit delay circuits, relation of a formula 1 is always

realized to a precision. Moreover, since the bias circuit section 21 is shared between the 1st adjustable delay circuit 11 and the 2nd adjustable delay circuit 12, the advantage that the number of a component is reduced is also acquired by coincidence between.

[0087] moreover, it is still more desirable to regard the circuit diagram of drawing 5 as a layout pattern, to build it, and to arrange each component and wiring which constitute the adjustable delay circuit 20 as drawing 5. Thus, the factor of noises, such as coupling of signals, is also canceled thru/or eased at the same time the bias wiring 28 and 29 is also arranged in a straight line and miniaturization of a layout realizes it by arranging.

[0088] <2-3. adjustable delay circuit: The 2> drawing 6 is the circuit diagram showing the configuration of another adjustable delay circuit suitable for use to waveform-shaping equipment 502. In this adjustable delay circuit 30, the configurations of the bias circuit section 31 differ characteristic [the adjustable delay circuit 20]. That is, the bias circuit section 31 has two steps of series circuits inserted between a high potential power-source line and a touch-down potential power-source line.

[0089] In the series circuit of the preceding paragraph, the PMOS transistor 34, the NMOS transistor 33, and the resistance element 32 are connected to the serial in this sequence. And the control signal Vin is inputted into the gate electrode of the NMOS transistor 33, and the gate electrode and drain electrode of the PMOS transistor 34 are short-circuited.

[0090] In the latter series circuit, the PMOS transistor 36 and the NMOS transistor 35 are connected to the serial. And it connects with the gate electrode of the PMOS transistor 34, and the gate electrode of the PMOS transistor 36 has short-circuited the gate electrode and drain electrode of the NMOS transistor 35.

[0091] The gate electrode of the PMOS transistor 36 is connected to the gate electrode of all the PMOS transistors 24 through the bias wiring 29, and the gate electrode of the NMOS transistor 35 is similarly connected to the gate electrode of all the NMOS transistors 23 through the bias wiring 28.

[0092] In the bias circuit section 31, since the resistance element 32 as source resistance is inserted between the NMOS transistors 33 and touch-down potential power-source lines into which a control signal Vin is inputted, a control signal Vin and the current which makes ***** relation flow a resistance element 32. The current of the preceding paragraph is reflected in a latter series circuit by the current Miller circuit which consists of a PMOS transistor 34 and a PMOS transistor 36. Furthermore, the current which flows a latter series circuit is reflected by the current Miller circuit which consists of an NMOS transistor 35 and an NMOS transistor 23 to each unit delay circuit.

[0093] Thus, it consists of adjustable delay circuits 30 so that the current of the same magnitude as the current adjusted with the control signal Vin may flow to each unit delay circuit. And since the relation between a control signal Vin and a current is mainly prescribed by the resistance element 32, there is an advantage that the linearity between the currents and control signals Vin which are supplied to each unit delay circuit is good.

[0094] In addition, although it consisted of examples of the above 1st adjustable delay circuit 11 and the 2nd adjustable delay circuit 12 in connection with a control signal Vin increasing so that the amount of delay might decrease, you may be the reverse relation. What is necessary is just to constitute a control section 13 with the example which described the control signal Vin above according to phase contrast, at this time, so that it may be made to change to hard flow. Namely, generally, those amounts of delay change in monotone with a control signal Vin, and the 1st adjustable delay circuit 11 and the 2nd adjustable delay circuit 12 should just be set up so that the latter amount of delay may moreover maintain the less than one former fixed ratio under the same control signal Vin.

[0095] <Gestalt 3 which is 3. operation> Below, the waveform-shaping equipment of the gestalt 3 of operation is explained.

[0096] <Whole> 3-1. equipment drawing 7 is the block diagram showing the configuration of the waveform-shaping equipment of the gestalt of this operation. This waveform-shaping equipment 503 is also constituted as a duty ratio recovery device which changes and outputs the duty ratio of an input clock to 50%, and fits the use as waveform-shaping equipment 2 of the clock feeder 501 mentioned above. For the 2nd adjustable delay circuit and 43, in drawing 7, a control section and 45 are [41 / the 1st adjustable delay circuit and 42 / a control signal line and Sin of an AD converter and 48] control signals.

[0097] With waveform-shaping equipment 503, the control signal Vin of the analog format which is the output of a loop filter 17 is changed into the control signal Sin of a digital format by AD converter 45, and this control signal Sin is supplied to the 1st adjustable delay circuit 41 and the 2nd adjustable delay circuit 42 in common. And both the 1st adjustable delay circuit 41 and the 2nd adjustable delay circuit 42 are constituted as a digital circuit which processes only a digital signal. The 1st adjustable delay circuit 41 and the 2nd adjustable delay circuit 42 of the point constituted so that the relation of a formula 1 may be maintained among those amounts of delay are the same as that of waveform-shaping equipment 502.

[0098] <3-2. adjustable delay circuit: The 1> drawing 8 is the circuit diagram showing the configuration of the 1st adjustable delay circuit 41. As shown in drawing 8, the 1st adjustable delay circuit 41 consists of combination of a selector 47 and an inverter 46. Whenever an input clock IN is inputted into the first rank of the inverter (unit delay element; this example CMOS inverter circuit) 46 by which cascade connection was carried out and passes an inverter 46, the amount of delay is added by the propagation delay time of an inverter 46, and it goes.

[0099] About the propagation delay time of an inverter 46, since the small value of 0.1 - 0.2ns is realized under the detailed-ized process in recent years, sufficient resolution is obtained as the 1st adjustable delay circuit 41 used for waveform-shaping equipment 502.

[0100] An output is pulled out by every [of the inverter 46 of a large number by which cascade connection was carried out] fixed number (however, even number : the example of drawing 8 four pieces), and it is led to the many input terminals of a selector 47 as a signal train. In the example of drawing 8, these outputs are inputted into the selector 47 through the inverter 46 of a piece so that it may be led to the 1st adjustable delay circuit 41 in the same logic (positive/negative is noninverting) as an input clock IN.

[0101] A selector 47 chooses one specified by the control signal Sin inputted as a selection signal from many clocks with which the amounts of fixed time amount [every] delay inputted into many input terminals differ, and outputs it as output clock OUT_A. For example, it is constituted so that the numeric value of a control signal Sin becomes high, and a clock with few amounts of delay may be chosen and outputted. Thus, the 1st adjustable delay circuit 41 is equipped with the fixed delay circuit and selector 47 which consist of inverters 46.

[0102] Drawing 9 is the circuit diagram showing the configuration of the 2nd adjustable delay circuit 42. The 2nd adjustable delay circuit 42 is also equipped with the 1st adjustable delay circuit 41, the fixed delay circuit which consists of inverters 46 similarly, and the selector 47. However, compared with the 1st adjustable delay circuit 41, the output is pulled out to the selector 47 every half (however, even number; the example of drawing 9 two pieces) inverter 46.

[0103] That is, the amount of delay of the clock inputted into the many input terminals of a selector 47 consists of 2nd adjustable delay circuits 42 so that it may become half [of ** and the 1st adjustable delay circuit 41]. Therefore, the amount of delay of the 1st adjustable delay circuit 41 and the 2nd adjustable delay circuit 42 always fills the relation of a formula 1 to the value of the same control signal Sin.

[0104] As mentioned above, since the 1st adjustable delay circuit 41 and the 2nd adjustable delay circuit 42 consist of waveform-

shaping equipment 503 in the digital circuit which processes only a digital signal, while the relation of a formula 1 is realized in a precision, the advantage that the linearity between the amount of delay and a control signal V_{in} is also good is acquired. Moreover, since a digital signal is made into a processing object, when electrical noise is overlapped on bias wiring, troubles, like a jitter arises are canceled thru/or eased and the equipment which cannot be easily influenced of an electric noise is realized.

[0105] Moreover, in a production process, the standard cell library usually prepared for a digital circuit can use effectively, and the advantage that a production process is easy-sized is also acquired by coincidence.

[0106] <3-3. adjustable delay circuit: The 2> drawing 10 and drawing 11 are the circuit diagram showing the different example of a configuration of the 1st and 2nd adjustable delay circuit, respectively. These 1st and 2nd adjustable delay circuits 51 and 52 also consist of combination of an inverter 46 and a selector 53. However, as for the 1st and 2nd adjustable delay circuits 41 and 42, it differs characteristic in that the relation between the inverters 46 and selectors 53 by which cascade connection was carried out is completely identically constituted among the 1st and 2nd adjustable delay circuits 51 and 52.

[0107] And all the bit signals that constitute a control signal S_{in} as a selection signal are inputted into the selector 53 of one 1st adjustable delay circuit 51. On the other hand, the remainder shifts only 1 bit of most significant bits of a control signal S_{in} , without being given, and it is given, and the least significant bit is thrown away into the selector 53 of the 2nd adjustable delay circuit 52 of another side, without using.

[0108] In these 1st and 2nd adjustable delay circuits 51 and 52, a control signal S_{in} is given by AD converter 45 in conformity with a binary number, and is subject [to moreover being sent out as a juxtaposition (parallel) signal]. Therefore, the selection signal inputted into the selector 53 of the 2nd adjustable delay circuit 42 is equivalent to the value in which the selection signal inputted into the selector 53 of the 1st adjustable delay circuit 51 carried out 1 bit shift, i.e., the value divided by 2. Therefore, in the 2nd adjustable delay circuit 52, the amount of delay of the one half of the 1st adjustable delay circuit 51 is always obtained.

[0109] Since the 1st and 2nd adjustable delay circuits 51 and 52 are mutual completely identically constituted except for the connection relation between a selection-signal terminal and the control signal line 48 (drawing 7) which transmits a control signal S_{in} , the advantage that the production process of equipment is simplified further is acquired. There is an advantage of being raised especially, the effectiveness, i.e., the design effectiveness, of a design stage in a production process.

[0110] <Gestalt 4 of 4. operation> drawing 12 is the block diagram showing the example which constituted the control section 43 of waveform-shaping equipment 503 from a digital circuit which performs only digital signal processing. For 55, as for the 1st counter and 57, in drawing 12 , D latch and 56 are [the 2nd counter and 58] inverters.

[0111] With waveform-shaping equipment 514, the simple D latch 55 is used instead of the phase comparator 15 in waveform-shaping equipment 502. The D latch 55 latches the value of output clock OUT_A inputted into a data input terminal synchronizing with the input clock IN into which it is inputted by the clock input terminal.

[0112] Drawing 13 and drawing 14 are the timing charts explaining actuation of the D latch 55. As shown in drawing 13 , as for the output of the D latch 55 noninverting output terminal Q , the amount of delay to the input clock IN of output clock OUT_A becomes settled in the value of value "1" synchronizing with the standup of an input clock IN regardless of [period / T / when only a certain time amount t_4 is short (i.e., when it is under the period T)] the value till then. Needless to say, the output of reversal output terminal Q^* also becomes settled in it and coincidence at value "0."

[0113] On the other hand, when only a certain time amount t_4 is long, namely, when the amount of delay exceeds a period T from a period T as shown in drawing 14 , the output of the noninverting output terminal Q becomes settled in the value of value "0" regardless of the value till then synchronizing with the standup of an input clock IN . That is, when exceeding a period T , the noninverting output terminal Q outputting value "1" continuously, when the amount of delay does not fulfill a period T , and outputting value "0" conversely, is continued.

[0114] It returns to drawing 12 and the 1st and 2nd counter 56 and 57 is constituted by each as a counter of an up-and-down mold. When the D latch's 55 noninverting output terminal Q and reversal output terminal Q^* are active (the former a value "1", the latter a value "0"), respectively, the 1st counter 56 is combined with the D latch 55 through the inverter 58 which adjusts logic so that the rise terminal UP and the down terminal DWN may become active.

[0115] And in the period when the rise terminal UP is active, count-up which synchronized with the input clock IN inputted into a clock terminal is continuously performed by the 1st counter 56. And a value (for example, value "1") active from the overflow terminal OVR whenever it overflows is outputted.

[0116] On the contrary, in the period when the down terminal DWN is active, the count-down which synchronized with the input clock IN inputted into a clock terminal is performed continuously. And a value active from the underflow terminal UND whenever it carries out an underflow is outputted. That is, when the amount of delay in the 1st adjustable delay circuit 41 is under the period T , the 1st counter 56 counts up continuously, and a count-down is continued when exceeding a period T conversely. And an active signal is outputted from the overflow terminal OVR or the underflow terminal UND for every fixed period corresponding to the fixed multiple of a period T .

[0117] When the overflow terminal OVR and the underflow terminal UND of an inverter 58 are active respectively, the 2nd counter 57 is combined with the D latch 55 through the inverter 58 which adjusts logic so that the rise terminal UP and the down terminal DWN may become active. Moreover, the input clock IN is inputted into the clock terminal of the 2nd counter 57. And the counted numeric value is sent out as a control signal S_{in} to the 1st adjustable delay circuit 41 and the 2nd adjustable delay circuit 42 (drawing 7).

[0118] Therefore, whenever the 1st counter 56 overflows, synchronizing with an input clock IN , the value of a control signal S_{in} increases by "1" every, and whenever it carries out an underflow, it decreases by "1" every. Namely, in the period when the amount of delay of the 1st adjustable delay circuit 41 is insufficient to a period T , a control signal S_{in} continues the increment in value "1" every for every fixed period, and, as for a control signal S_{in} , the amount of delay continues value "1" every reduction for every fixed period in too much period conversely exceeding a period T . As mentioned above, the equipment shown in drawing 12 achieves the same function as the control section 43 of waveform-shaping equipment 503 (drawing 7).

[0119] In case this equipment is used as a control section 43, the 1st adjustable delay circuit 41 and the 2nd adjustable delay circuit 42 are constituted so that a control signal S_{in} is large, and the amount of delay may become large. In drawing 8 and drawing 9 $R > 9$, this is easily attained by setting up the relation between a selector 47 and an inverter 46 so that a clock with the small amount of delay may be chosen, so that a control signal S_{in} is large.

[0120] In drawing 12 , the input clock IN and output clock OUT_A which are inputted into the D latch 55 may be replaced. If other equipment parts remain as they are at this time, a control signal S_{in} increases, and when the amount of delay of the 1st adjustable delay circuit 41 is excessive, when insufficient, it will decrease. At this time, it is so good that a control signal S_{in} is large in drawing 8 and drawing 9 to set up the relation between a selector 47 and an inverter 46 so that a clock with the large amount of delay may be chosen.

[0121] Or it is possible to set up the relation between the amount of delay and the direction of change of a control signal Sin free also by adjusting the number (also including value "0") of an inverter 58 which adjusts the logic between the D latch 55 and the 1st counter 56.

[0122] With the equipment of drawing 12, it consists of analog circuits and all the elements of a control section 43 (drawing 7) also including the loop filter 17 which occupies a comparatively big layout area are transposed to the digital circuit. For this reason, with the equipment of drawing 12 $R > 2$, the advantage that layout area can be reduced and equipment can be miniaturized is acquired. Moreover, in order to make a digital signal into a processing object, the advantage of being hard to be influenced of electrical noise is also acquired by coincidence.

[0123] <Gestalt 5 of 5. operation> drawing 15 is the circuit diagram showing the configuration of SR flip-flop suitable for use to the SR flip-flop 14 of waveform-shaping equipment 502,503. In drawing 15, it is the gate voltage as which 60 is inputted into SR flip-flop of the gestalt of this operation, and the gate voltage as which an NMOS transistor and 64 are inputted into a PMOS transistor, and GN is inputted [61, 65 66, and 67 / an inverter and 62] into the gate electrode of the NMOS transistor 63 for a NAND circuit and 63, and GP is inputted into the gate electrode of the PMOS transistor 64.

[0124] Rather than MOS transistors 63 and 64, driving force is weak (namely, highly [output resistance]), and the inverter 66 is set up. That is, the output of MOS transistors 63 and 64 has priority over the output of an inverter 66.

[0125] In the SR flip-flop 60, the gate electrode of MOS transistors 63 and 64 connected to the serial between the high potential power-source line and the touch-down potential power-source line is connected to the set terminal SET and the reset terminal RST through the single shot pulse forming network constituted in an inverter 61 and NAND circuit 62, respectively. The connection of MOS transistors 63 and 64 is connected to the inverters 65 and 66 which constitute memory. And the signal which memory holds is outputted to the noninverting output terminal Q through an inverter 67.

[0126] Drawing 16 is a timing chart explaining actuation of the waveform-shaping equipment 502 with which the SR flip-flop 60 was incorporated as an SR flip-flop 14. Drawing 16 shows actuation in case the 1st adjustable delay circuit 11 with which waveform-shaping equipment 502 is equipped is in a stable lock condition.

[0127] As shown in drawing 16, when the duty ratio of an input clock IN exceeds 50%, the both sides of the set terminal SET of the SR flip-flop 14 and the reset terminal RST become value "1" over the period d in every period T at coincidence. Moreover, even if the duty ratio of an input clock IN is less than 50%, in a transitional period until it shifts to a stable lock condition, value "1" may be similarly inputted into two terminals of the SR flip-flop 14 at coincidence.

[0128] In such a case, the usual SR flip-flop with which an output becomes unfixed does not fit the SR flip-flop 14 of waveform-shaping equipment 502. For this reason, as the gestalt 2 of operation described, SR flip-flop of a reset priority mold is used for the SR flip-flop 14 of waveform-shaping equipment 502. On the other hand, by adding a single shot pulse circuit, the SR flip-flop 60 of the gestalt of this operation cancels the trouble accompanying two inputs becoming value "1" at coincidence, and is using it as the equipment suitable for the SR flip-flop 14.

[0129] As shown in drawing 16, the single shot pulse of value "0" is inputted into the gate electrode of the PMOS transistor 64 synchronizing with the rising edge of output clock OUT_A inputted into the set terminal SET. By this single shot pulse in gate voltage GP, the PMOS transistor 64 turns on during an instant. Consequently, the value held at the memory which consists of inverters 65 and 66 is updated, and value "1" is held at the noninverting output terminal Q.

[0130] After T/2, output clock OUT_B inputted into the reset terminal RST starts from the rising edge of an input clock IN. The single shot pulse of value "1" is inputted into the gate electrode of the NMOS transistor 63 synchronizing with the rising edge of this output clock OUT_B. By this single shot pulse in gate voltage GN, the NMOS transistor 63 turns on during an instant. Consequently, the value held at the memory which consists of inverters 65 and 66 is updated, and value "0" is held at the noninverting output terminal Q.

[0131] Hereafter, as a result of repeating the same actuation, value "1" and value "0" is outputted to the noninverting output terminal Q by turns for every [T/] two. Thus, in the SR flip-flop 60, since it operates convenient even if value "1" is inputted into two input terminals at coincidence, it is suitable for the use as an SR flip-flop 14 of waveform-shaping equipment 502. Furthermore, in the SR flip-flop 60, there are comparatively few element numbers and, moreover, the advantage of being high-speed is also acquired by coincidence.

[0132] <Gestalt 6 of 6. operation> drawing 17 is the circuit diagram showing the configuration of another SR flip-flop suitable for use to the SR flip-flop 14 of waveform-shaping equipment 502,503. As for an inverter, and 72 and 73, for 70, in drawing 17, an NMOS transistor, and 74 and 75 are [SR flip-flop of the gestalt of this operation, and 71, 76, 77 and 78] PMOS transistors. As for the inverter 77, driving force is weakly set up rather than MOS transistors 72-75.

[0133] In the SR flip-flop 70, MOS transistors 75-72 are connected to this order at the serial between the high potential power-source line and the touch-down potential power-source line. And the set terminal SET is connected to the gate electrode of the PMOS transistor 75 through an inverter 71, and the reset terminal RST is connected to the gate electrode of the NMOS transistor 72.

[0134] Moreover, the connection of MOS transistors 73 and 74 is connected to the inverters 76 and 77 which constitute memory. And the signal which memory holds is outputted to the noninverting output terminal Q through an inverter 78. Furthermore, the output signal of the noninverting output terminal Q is fed back common to the gate electrode of MOS transistors 73 and 74.

[0135] This SR flip-flop 70 operates as follows. Suppose that the value of the noninverting output terminal Q is "0" first. At this time, the PMOS transistor 74 connected to the noninverting output terminal Q is turned on, and turns off the NMOS transistor 73. If the pulse of value "1" is inputted into the set terminal SET at this time, the signal of the connection of MOS transistors 73 and 74, i.e., the input signal to memory, will change to value "1" to it and coincidence. Consequently, the value of the noninverting output terminal Q also changes to "1."

[0136] Since the PMOS transistor 74 is turned off and the NMOS transistor 73 is turned on once the value of the noninverting output terminal Q is set to "1", even if the pulse of value "1" is inputted into the set terminal SET after that, it is changeless to the value of the noninverting output terminal Q. If the pulse of value "1" is inputted into the reset terminal RST at this time, when the NMOS transistor 72 turns on, the value which memory holds will be reversed, consequently the noninverting output terminal Q will be reversed to value "0."

[0137] Since the PMOS transistor 74 is turned on and the NMOS transistor 73 is turned off once noninverting output terminal Q value is set to "0", even if the pulse of value "1" is inputted into the reset terminal RST after that, it is changeless to the value of the noninverting output terminal Q. As mentioned above, the SR flip-flop 70 functions as an SR flip-flop which is set in the standup of the pulse inputted into the set terminal SET, and is reset in the standup to the reset terminal RST.

[0138] When value "1" is inputted into the set terminal SET and the reset terminal RST at coincidence, since logic reversal is carried out and the value of the noninverting output terminal Q is transmitted to the input of memory, it oscillates by the time delay twice [about] the period [value "1", "0", "1", "0", and] of for three elements inserted in and the feedback loop. At this time, the SR flip-flop 70 operates as a kind of asynchronous T flip-flop. That is, the SR flip-flop 70 is one gestalt of the high asynchronous JK flip-flop

of versatility.

[0139] By adding a component to this SR flip-flop 70, it is possible to consider as SR flip-flop of reset priority. The example is shown in drawing 18. In the SR flip-flop 80 shown in drawing 18, the inverter 71 in the SR flip-flop 70 is transposed to NAND circuit 82, and the reset terminal RST is further connected to one side of 2 inputs of NAND circuit 82 through the inverter 81. Moreover, the output of an inverter 81 and the gate electrode of the NMOS transistor 83 which are connected to the reset terminal RST are connected through another inverter 81.

[0140] Thus, SR flip-flop of reset priority is obtained by adding the easy logical circuit for the SR flip-flop 70.

[0141] <Gestalt 7 of 7. operation> drawing 19 is the block diagram showing the configuration of the waveform-shaping equipment of the gestalt 7 of operation. With this waveform-shaping equipment 504, the single shot pulse circuit 90 is inserted between the input terminals and the waveform-shaping equipment 502 which receive an input clock IN.

[0142] The single shot pulse circuit 90 consists of combination of inverters 91 and 93 and NAND circuit 92, as shown in drawing 19. That is, the single shot pulse circuit 90 is constituted like the single shot pulse circuit shown in drawing 15. The input signal IS inputted into the 1st adjustable delay circuit 11 and a phase comparator 15 is not the input-clock IN itself, is outputted by work of the single shot pulse circuit 90 synchronizing with an input clock IN, and serves as a single shot pulse with a duty ratio small enough by it.

[0143] Drawing 20 is a timing chart explaining actuation of this waveform-shaping equipment 504. An input signal IS serves as a single shot pulse with the duty ratio are concerned, and there is nothing in the magnitude of the duty ratio of an input clock IN, and short which starts synchronizing with the standup of an input clock IN. Consequently, output clock OUT_A becomes that for which this input signal IS was delayed.

[0144] Similarly, as for output clock OUT_B, delay was further added to output clock OUT_A. Since the condition of having locked stably is illustrated, only delay and output clock OUT_B of the period T are further behind in output clock OUT_A in drawing 20, only T/2 to the input signal IS. Since the wave as an input signal IS with same output clock OUT_A and output clock OUT_B is maintained, those duty ratios are fully small.

[0145] Therefore, the evil by the set terminal SET and the reset terminal RST of the SR flip-flop 14 becoming value "1" is removed. That is, it becomes possible to use the cheap usual SR flip-flop, without using SR flip-flop of reset priority as an SR flip-flop 14.

[0146] In addition, two inputs of the SR flip-flop 14 of waveform-shaping equipment 502 -- a high -- instead of being active (it operating in the standup to value "1") -- a low -- when active, a single shot pulse circuit is good to constitute so that the single shot pulse which reversed the logic of an input clock IN may be outputted. In drawing 19 R> 9, it is good for it to insert two steps of inverters instead of an inverter 93.

[0147] <Gestalt 8 of 8. operation> drawing 21 is the block diagram showing the configuration of the waveform-shaping equipment of the gestalt 8 of operation. This waveform-shaping equipment 505 is constituted as a duty ratio recovery device, and moreover, without using the SR flip-flop 14, it is constituted so that the output clock OUT of duty may be obtained 50%.

[0148] As for the 2nd adjustable delay circuit of a multi-output mold, and n0, n1, ..., nk, in drawing 21, 96 is [two or more output signals of the 2nd adjustable delay circuit 96 and 97] the OR (OR) circuits of a multi-input mold. In waveform-shaping equipment 504, the 2nd adjustable delay circuit 12 is transposed to the 2nd adjustable delay circuit 96, and, moreover, this waveform-shaping equipment 505 is transposed to OR circuit 97 instead of the SR flip-flop 14. And the many outputs n0, n1, ..., nk of the 2nd adjustable delay circuit 96 are inputted into the many input terminals of OR circuit 97, and the output signal of OR circuit 97 is outputted to the exterior as an output clock OUT.

[0149] Drawing 22 is the circuit diagram showing the configuration of the 2nd adjustable delay circuit 96. In the 2nd adjustable delay circuit 96, it has the unit delay circuit 98 of a large number by which cascade connection was carried out. And while output clock OUT_A is inputted into the unit delay circuit 98 of the first rank and this output clock OUT_A is outputted as an output signal n0, the output of each unit delay circuit 98 from the next step to the last stage is outputted as output signals n1, n2, ..., nk. And the amount of delay of the output nk of the last stage to output clock OUT_A is set up so that it may become half [of the amount of delay of the 1st adjustable delay circuit 11].

[0150] Drawing 23 is the circuit diagram showing the configuration of the unit delay circuit 98. The inverter 99 is connected to the output side, in order for one unit delay circuit and bias circuit section 21 of the adjustable delay circuit 20 (drawing 5) to combine in the unit delay circuit 98 and to make in agreement the logic of a **** cage, and an input signal (for example, n0) and an output signal (for example, n1).

[0151] Drawing 24 is a timing chart explaining actuation of waveform-shaping equipment 505. In drawing 24, the signal wave form of each part in case the 1st adjustable delay circuit 11 is in a lock condition stably is drawn. Synchronizing with an input clock IN, it starts to the 1st adjustable delay circuit 11 and a phase comparator 15, and the input signal IS with pulse width w short moreover enough is inputted into them by work of the single shot pulse circuit 90. Since it is in a lock condition, the phase of the 1st adjustable delay circuit 11 of output clock OUT_A corresponds with an input signal IS and a phase seemingly (equivalent).

[0152] And the output signals n1, n2, ..., nk of the 2nd adjustable delay circuit 96 are delayed sequential fixed time amount every. Although it is desirable to be set up as narrowly as possible as for the magnitude of pulse width w, it is set as the range in which the amount of delay of one step of unit delay circuit always becomes short rather than pulse width w also including the time of the transitional actuation before a lock. For this reason, the output clock OUT obtained as an OR of output signals n1, n2, ..., nk becomes value "1" from the standup point in time of output clock OUT_A to the falling time of the output signal nk of the last stage.

[0153] Since the amount of delay of the output signal nk of the last stage is set up so that it may become half [of the 1st adjustable delay circuit 11], after the 1st adjustable delay circuit 11 has locked, the amount of delay of the output signal nk of the last stage becomes T/2. For this reason, the output clock OUT becomes value "1" over T/2 of periods. That is, the duty ratio of the output clock OUT becomes 50%.

[0154] In addition, as for a duty ratio, pulse width w shifts from 50% a little according to the magnitude of pulse width w, in not being short enough compared with a period T. However, since the number of output signals n1, n2, ..., nk is set up greatly enough, pulse width w can also usually be short set up in connection with it. For this reason, in an anticipated-use gestalt, a gap of the duty ratio of the output clock OUT can be disregarded.

[0155] In order to also compensate this slight gap, it is good to adjust the relation between pulse width w in the single shot pulse circuit 90, and the number of stages of the unit delay circuit of the 2nd adjustable delay circuit 96 so that the amount of delay of the output signal nk over output clock OUT_A at the time of a lock may serve as magnitude of amount of delay = T/2 - w**.

[0156] <Gestalt 9 of 9. operation> drawing 25 is the block diagram showing the configuration of the waveform-shaping equipment of the gestalt 9 of operation. This waveform-shaping equipment 506 is also constituted as a duty ratio recovery device. With this waveform-shaping equipment 506, as for waveform-shaping equipment 502 (drawing 1), it differs characteristic instead of output clock OUT_A in that an input clock IN is directly inputted into the 2nd adjustable delay circuit 12.

[0157] Drawing 26 is a timing chart which explains actuation of equipment 506 by making into an example the condition that the 1st adjustable delay circuit 11 locked. Since the 1st adjustable delay circuit 11 is locked, as for output clock OUT_A, only the period T has been delayed from an input clock IN. And as for output clock OUT_B, the one half of the time delay of the 1st adjustable delay circuit 11, $T/2$ [i.e.,], is delayed from an input clock IN.

[0158] That is, in the SR flip-flop 14, after the value of the set terminal SET starts, since it passes $T/2$, the value of the reset terminal RST starts. For this reason, from the noninverting output terminal Q of the SR flip-flop 14, the clock whose duty ratio is 50% is outputted as an output clock OUT.

[0159] As mentioned above, this equipment 506 functions as a duty ratio recovery device like waveform-shaping equipment 502. And the advantage that the delay from the input clock IN to the output clock OUT has the small amount of delay compared with the delay waveform-shaping equipment 502 which has the amount of delay exceeding a period T since it does not generate with the SR flip-flop 14 is acquired.

[0160] This produces the advantage of equipment being able to stop immediately, when the input clock IN supplied from the outside for low-power-izing etc. stops. With equipment 506, the control section 13 and the 1st adjustable delay circuit 11 have played the role which measures the period T of an input clock IN.

[0161] With each waveform-shaping equipment as a duty ratio recovery device explained beyond <the gestalt 10 of 10. operation>, the amount of delay of the 2nd adjustable delay circuit is set up so that it may become half [of the amount of delay of the 1st adjustable delay circuit], and the clock which has 50% of duty ratio was obtained as an output clock OUT, without that twisting to the duty ratio of an input clock IN. In these duty ratio recovery devices, in the amount of delay of the 2nd adjustable delay circuit, if it sets to 60% of the amount of delay of the 1st adjustable delay circuit, the output clock OUT which has 60% of duty ratio will be obtained.

[0162] Adjustment of the amount of delay is easily possible by adjusting the number of the unit delay circuit in the adjustable delay circuit 20 (drawing 5). Moreover, in the example of the adjustable delay circuits 41 and 42 (drawing 8, drawing 9), it is attained by adjusting the ratio of the number of an inverter 46. Or what is necessary is just to adjust in the example of the adjustable delay circuits 51 and 52 (drawing 10, drawing 11), the relation of bit shifts between a selection signal and a control signal Sin, for example, amount, of a selector 53.

[0163] When it is constituted so that object equipment 5 (drawing 1) may become the optimal with a certain clock duty ratio which is not 50%, it becomes possible by doubling the duty ratio of the output clock OUT with the optimum value to pull up the working speed of object equipment 5 to the maximum extent. The waveform-shaping equipment stated with the gestalt of each above operation also has the advantage that it is easy to set the ratio of the amount of delay between the 1st adjustable delay circuit and the 2nd adjustable delay circuit also to values other than 50%, and it can pull out the engine performance of object equipment 5 to the maximum extent.

[0164] <Gestalt 11 which is 11. operation> Below, the waveform-shaping equipment of the gestalt 11 of operation is explained.

[0165] <Whole> 11-1. equipment drawing 27 is the block diagram showing the configuration of the waveform-shaping equipment of the gestalt 11 of operation. This waveform-shaping equipment 507 is also constituted as a duty ratio recovery device which obtains the clock of 50% of duty ratios. For 101, as for the differential amplifier and 103,104, in drawing 27, an integrator and 102 are [a resistance element and S0] the output signals of an integrator. The amount of maximum adjustable delay of the 2nd adjustable delay circuit 12 is set as less than one period of an input clock IN.

[0166] An input clock IN is inputted into the set terminal SET of the adjustable delay circuit 12 and the SR flip-flop 14, and output clock OUT_B is inputted into the reset terminal RST of the SR flip-flop 14. And while the signal of the noninverting output terminal Q of the SR flip-flop 14 is outputted to the exterior as an output clock OUT, it is inputted also into an integrator 101. Moreover, the output signal S0 of an integrator 101 is inputted into the non-inversed input terminal of the differential amplifier 102.

[0167] It is inputted into the inversed input terminal of the differential amplifier 102 as a reference potential, the potential ($V_{dd}/2$), i.e., the middle point potential, of a connection of two resistance elements 103,104 with equal resistance which connected with the serial between the high potential (V_{dd}) power-source line and the touch-down potential power-source line. That is, the resistance element 103,104 is functioning as a circuit which generates a reference potential. The differential amplifier 102 outputs the voltage signal of the magnitude proportional to the difference of two input signals as a control signal Vin. This control signal Vin is inputted into the adjustable delay circuit 12. In addition, the time constant of an integrator 101 is set up greatly enough compared with a period T.

[0168] Drawing 28 is a timing chart explaining actuation of this equipment 507. As shown in drawing 28, suppose that only time amount t_1 is behind a period T in output clock OUT_B further to an input clock IN. At this time, the output signal S0 is a value lower than a reference potential ($= V_{dd}/2$). Since output clock OUT_B is too much [than a period T] late to the input clock IN, the duty ratio of the output clock OUT becomes higher than 50%. Consequently, that of an integrator 101 is ***** and an output signal S0 approaches a reference potential gradually. In connection with it, the amount of delay of the adjustable delay circuit 12 becomes small. That is, the duty ratio of the output clock OUT approaches to 50%.

[0169] On the contrary, it carries out only to the time amount [output clock OUT_B / period / T / further] t_1 to an input clock IN rashly. At this time, the output signal S0 is a value higher than a reference potential. Since output clock OUT_B is rash from the period T to the input clock IN, the duty ratio of the output clock OUT becomes lower than 50%. Consequently, that of an integrator 101 is ***** and an output signal S0 approaches a reference potential gradually. In connection with it, the amount of delay of the adjustable delay circuit 12 becomes large. That is, the duty ratio of the output clock OUT approaches to 50%.

[0170] If the duty ratio of the output clock OUT reaches to 50%, since an output signal S0 will serve as zero, the duty ratio of the output clock OUT stops already changing. That is, finally the duty ratio of the output clock OUT is stabilized in 50% of value. Thus, equipment 507 does not have involvement in the duty ratio of an input clock IN, and functions as a duty ratio recovery device which outputs the output clock OUT of a duty ratio 50%.

[0171] Moreover, by carrying out the monitor of the output clock OUT finally outputted to the exterior, it consists of this equipment 507 so that 50% of duty ratio may be obtained. For this reason, even if it does not make strictly in agreement the driving force when outputting the driving force when outputting 1", and value "value" 0" including the SR flip-flop 14 located in the last stage, the wave-like turbulence by those biases is amended, and there is an advantage that the duty ratio of the output clock OUT is obtained by the precision to 50%. That is, the advantage that manufacture of equipment is easy is equipped.

[0172] Furthermore, it is possible to obtain the output clock OUT which has the duty ratio of the arbitration for which only adjusts the ratio of the resistance of resistance elements 103 and 104, and it asks with equipment 507. That is, this equipment 507 equips coincidence also with the advantage that accommodation of a duty ratio is especially easy.

[0173] <11-2. integrator> Below, some examples of the integrator suitable for the use as an integrator 101 of equipment 507 are explained. As shown in drawing 29, to an integrator 101, a well-known RC filter is conventionally usable. This RC filter has simple structure and has the advantage that a manufacturing cost is cheap.

[0174] Two inverters 103 are connected to the input side of a RC filter in integrator 101a illustrated to drawing 30. Since the output clock OUT is inputted into the input terminal of an inverter 103 and it is not directly inputted into a RC filter, there is an advantage

that the effect of the wave on the output clock OUT by the RC filter is cancelable.

[0175] Integrator 101b illustrated in drawing 31 has applied the charge pump which generates a current packet. In drawing 3131, 104,105 is [a capacitive element, and IN and IP of a switching element and C] current sources. When the output clock OUT inputted is value "1", a current source IP turns on and a current source IN is turned off. On the contrary, if it is value "0", a current source IN turns on and a current source IP is turned off. Therefore, the value of the output clock OUT finds the integral with capacity C, and an integral value is reflected in the electrical potential difference which capacity C holds.

[0176] Integrator 101c illustrated in drawing 32 is one gestalt of the integrator 101 suitable for making the same mutually magnitude of the current of two current sources IN and IP. For 106,107,109, in drawing 32, an NMOS transistor and 108,110 are [an inverter and R of a PMOS transistor and 111] resistance elements.

[0177] MOS transistor 109,110 corresponds to a switching element 104,105, respectively. Moreover, MOS transistor 107,108 corresponds to current sources IN and IP, respectively. And the bias circuit of MOS transistor 107,108 is constituted by MOS transistor 106,107,108 and the resistance element R.

[0178] That is, the magnitude of the current which flows the series circuit of a resistance element R and MOS transistor 106 becomes settled in a precision with the magnitude of the resistance of a resistance element R. And the current of the same magnitude as the current which flows resistance R flows MOS transistor 107,108 by the current Miller circuit which consists of MOS transistors 106,107, and another current Miller circuit which consists of two MOS transistors 108 further.

[0179] That is, the current value of MOS transistor 107,108 as a current source becomes settled in a precision with the resistance of a resistance element R. And it is possible by making the resistance of a resistance element R high to hold down without limit small the current value of MOS transistor 107,108 as a current source. Therefore, moreover, the advantage that a time constant can be set up highly is acquired by making capacity of a capacitive element C small, keeping layout area small.

[0180] <Gestalt 12 of 12. operation> drawing 33 is the block diagram showing the configuration of the waveform-shaping equipment of the gestalt 12 of operation. This waveform-shaping equipment 508 is constituted as a duty ratio recovery device which obtains the clock of 50% of duty ratios, and is equivalent to what constituted equipment 507 from a digital circuit. In drawing 33, 120 is a digital filter. The amount of maximum adjustable delay of the adjustable delay circuit 42 is set as less than one period of an input clock IN.

[0181] An input clock IN is inputted into the set terminal SET of the adjustable delay circuit 42 and the SR flip-flop 14, and output clock OUT_B is inputted into the reset terminal RST of the SR flip-flop 14. And it is inputted into a digital filter 120 at the same time the signal of the noninverting output terminal Q of the SR flip-flop 14 is outputted to the exterior as an output clock OUT. The control signal Sin which a digital filter 120 outputs is inputted into the adjustable delay circuit 42.

[0182] Drawing 34 is the circuit diagram showing the configuration of a digital filter 120. In drawing 34, 121 is [the 1st and 2nd counter of an up-and-down mold and HCK of an inverter and 122,123] high-speed clocks with a period shorter enough than an input clock IN.

[0183] It is inputted into the down terminal DWN through an inverter 121 while the direct input of the output clock OUT is carried out to the rise terminal UP of the 1st counter 122 of the preceding paragraph. Moreover, the overflow terminal OVR and the underflow terminal UND of the 1st counter 122 are connected to the rise terminal UP and the down terminal DWN of the 2nd counter 123, respectively. Moreover, the high-speed clock HCK is inputted into the clock terminal of a counter 122,123. And the enumerated data of the 2nd latter counter 123 are outputted as a control signal Sin.

[0184] Therefore, when the output clock OUT is value "1", the 1st counter 122 outputs value "1" from the overflow terminal OVR repetitively with the period equivalent to the fixed multiple of the high-speed clock HCK. On the contrary, when the output clock OUT is value "0", the 1st counter 122 outputs value "1" repetitively from the underflow terminal UND.

[0185] Consequently, when the duty ratio of the output clock OUT is over 50%, the value of a control signal Sin rises, and when lower than 50%, it decreases. When the duty ratio of the output clock OUT is in agreement to 50%, the value of a control signal Sin stops moreover, changing.

[0186] Therefore, the amount of delay of the adjustable delay circuit 42 is controlled by equipment 508 so that it is completed to 50% by the duty ratio of the output clock OUT. Thus, equipment 508 does not have involvement in the duty ratio of an input clock IN, and functions as a duty ratio recovery device which outputs the output clock OUT of a duty ratio 50%.

[0187] Moreover, by carrying out the monitor of the output clock OUT finally outputted to the exterior as well as equipment 507, it consists of this equipment 508 so that 50% of duty ratio may be obtained. For this reason, also including the SR flip-flop 14 located in the last stage, the effect of the bias of driving force is compensated and there is an advantage that the clock which has 50% of duty ratio in a precision is obtained in the output clock OUT.

[0188] furthermore, the advantage that layout area becomes small since all equipment parts consist of digital circuits – in addition, it can design easily using a standard cell – etc. – an advantage is also acquired by coincidence.

[0189] Drawing 35 is the circuit diagram suitable for equipment 508 showing the example of another digital filter. Setting to drawing 35, 125,126 is an AND (AND) circuit and the counter of the asynchronous type [127,128] in an up-and-down mold moreover.

[0190] The AND of the output clock OUT and the high-speed clock HCK is inputted into the rise terminal UP of the 1st counter 127, and the logic of the reversal signal of the output clock OUT and the high-speed clock HCK is inputted into the down terminal DWN. Moreover, the overflow terminal OVR and the underflow terminal UND of the 1st counter 127 are connected to the rise terminal UP and the down terminal DWN of the 2nd counter 128, respectively. And the enumerated data of the 2nd counter 128 are outputted as a control signal Sin.

[0191] Therefore, when the output clock OUT is value "1", the 1st counter 127 counts up the high-speed clock HCK inputted into the rise terminal UP, and outputs value "1" from the overflow terminal OVR repetitively with the period equivalent to the fixed multiple of the high-speed clock HCK. On the contrary, when the output clock OUT is value "0", the high-speed clock HCK inputted into the down terminal DWN is counted down, and value "1" is repetitively outputted from the underflow terminal UND.

[0192] Consequently, when the duty ratio of the output clock OUT is over 50%, the value of a control signal Sin rises, and when lower than 50%, it decreases. When the duty ratio of the output clock OUT is in agreement to 50%, the value of a control signal Sin stops moreover, changing.

[0193] Therefore, since the equipment 508 using this digital filter 120a controls the amount of delay of the adjustable delay circuit 42 so that it is completed to 50% by the duty ratio of the output clock OUT, it functions as a duty ratio recovery device which outputs the output clock OUT of a duty ratio 50%. In digital filter 120a, since the counter of cheap asynchronous system is used, there is an advantage that a manufacturing cost is reduced.

[0194] <Gestalt 13 of 13. operation> drawing 36 is the block diagram showing the configuration of the waveform-shaping equipment of the gestalt 13 of operation. This waveform-shaping equipment 509 is constituted as an PWM (Pulse Width Modulation) modulator.

[0195] In drawing 36, the input signal into which Vr is inputted from the outside, and 130 are input terminals into which an input signal Vr is inputted. The input terminal 130 is connected to the inversed input terminal of the differential amplifier 102. That is, in

equipment 507 (drawing 27), this equipment 509 removes the reference voltage generating section which consists of resistance elements 103,104, and it is constituted so that the voltage signal of the magnitude of arbitration can be inputted into the inversed input terminal of the differential amplifier 102 from the exterior.

[0196] the relation of periodic $T < \text{time constant} < V_r$ maintains between the period T of an input clock IN , the time constant of an integrator 101, and the period of an input signal V_r -- having -- $****$ -- the time constant of an integrator 101 is set up like. In this case, even if it changes an input signal V_r , since the adjustable delay circuit 42 continues maintaining a lock condition, the period of the output clock OUT becomes [being fixed to the period T of an input clock IN with as, and]. And when an input signal V_r is high, the duty ratio of the output clock OUT becomes large, and when an input signal V_r is low, the duty ratio of the output clock OUT becomes small conversely.

[0197] That is, the PWM output which answered the input signal V_r can be obtained as an output clock OUT , without being dependent on the duty ratio of an input clock IN . And $*****$ relation is maintained between the height of an input signal V_r , and the duty ratio of the output clock OUT , and a PWM modulator with a good property is realized.

[0198] <Gestalt 14 of 14. operation> drawing 37 is the block diagram showing the configuration of the waveform-shaping equipment of the gestalt 14 of operation. This waveform-shaping equipment 510 is also constituted as an PWM modulator.

[0199] In drawing 37, 132 is the offset generation section. The offset generation section 132 is inserted between the loop filter 17 and the 2nd adjustable delay circuit 12, and makes the work which lays the offset signal of the magnitude according to the input signal V_r inputted from the exterior through an input terminal 130 on top of a control signal V_{in} . That is, in equipment 506 (drawing 25), this equipment 510 is constituted so that the offset signal of the magnitude of arbitration can be superimposed on the control signal V_{in} supplied to the 2nd adjustable delay circuit 12 from the exterior.

[0200] Even if an input signal V_r changes, there is no effect in actuation of the 1st adjustable delay circuit 11, and the 1st adjustable delay circuit 11 continues maintaining a lock condition. Therefore, an input of the input signal V_r which changes so that the relation of periodic $T < V_r$ may be maintained between the period T of an input clock IN and the period of an input signal V_r changes only the duty ratio of the output clock OUT , while the period of the output clock OUT had been fixed to the period T of an input clock IN . That is, equipment 510 functions as an PWM modulator.

[0201] The offset generation section 132 is an adder which computes and outputs the sum of two input signals V_{in} and V_r , for example, can be easily constituted using an operational amplifier. As for this equipment 510, it is possible to also make it function as the equipment stated with the gestalt 10 of operation, i.e., a duty ratio recovery device which outputs the output clock OUT which has the duty ratio of desired arbitration, by maintaining an input signal V_r at the fixed value which does not change with time amount.

[0202] Moreover, this equipment 510 does not receive the constraint about the integration time constant of equipment about the size of the period of an input signal V_r , and has the advantage that the PWM modulation of the input signal V_r with a high frequency is also possible.

[0203] <Gestalt 15 of 15. operation> drawing 38 is the block diagram showing the configuration of the waveform-shaping equipment of the gestalt 15 of operation. This waveform-shaping equipment 511 is constituted so that the function of the both sides of a duty ratio recovery device and frequency-multiplication equipment may be realized collectively.

[0204] For SR flip-flop and 139, in drawing 38, an OR circuit, and 141, 142 and 143 are [the 2nd, 3rd, and 4th adjustable delay circuit and 137 and 138 / 134, 135, and 136 / the output signal of the 2nd, 3rd, and 4th adjustable delay circuits 134, 135 and 136, and P1, P2 and DBL of an output terminal, OUT_B1 , OUT_B2 and OUT_B3] the output signals of the SR flip-flops 137 and 138 and OR circuit 139, respectively.

[0205] That is, this equipment 511 is constituted by adding the 3rd and 4th adjustable delay circuit 136,137, the SR flip-flop 138, and OR circuit 139 to equipment 506 (drawing 25). However, the 2nd adjustable delay circuit 134 is not the same as the 2nd adjustable delay circuit 12 of equipment 506 (drawing 25 $R > 5$), and each amount of delay of the 2nd - the 4th adjustable delay circuits 134-136 is set up so that it may be set to one fourth of the amounts of delay of the 1st adjustable delay circuit 11 under the same control signal V_{in} .

[0206] Output clock OUT_B1 is inputted into the 3rd adjustable delay circuit 135 as an input signal, and output clock OUT_B2 is inputted into the 4th adjustable delay circuit 135. That is, cascade connection of the 2nd - the 4th adjustable delay circuits 134-136 is carried out. And the control signal V_{in} outputted from a loop filter 17 as a control signal to both the 2nd - the 4th adjustable delay circuits 134-136 is inputted in common.

[0207] Output clock OUT_B2 is inputted into the set terminal SET of the SR flip-flop 138, and output clock OUT_B3 is inputted into the reset terminal RST. And while the outputs P1 and P2 of the noninverting output terminal Q of the SR flip-flop 137,138 are outputted to the exterior through an output terminal 141,143, respectively, they are inputted into two input terminals of OR circuit 139. The output signal DBL of OR circuit 139 is outputted to the exterior through an output terminal 142.

[0208] Drawing 39 is a timing chart which explains actuation of equipment 511 by making the time of the 1st adjustable delay circuit 11 being in a lock condition into an example. Since the 1st adjustable delay circuit 11 is in a lock condition, as for output clock OUT_A , only an input clock IN to the period T has been delayed, and those phase contrast serves as zero seemingly. At this time, output clock OUT_B1 - OUT_B3 are delayed for an input clock IN every [$4 / T$] one by one.

[0209] The SR flip-flop 137 is set by the rising edge of output clock OUT_A , and is reset by the rising edge of output clock OUT_B1 . Therefore, in other words, it is the same phase as an input clock IN , and, moreover, an output signal P1 is acquired as the same phase as output clock OUT_A , and a clock which has one fourth of duty ratios.

[0210] The SR flip-flop 138 is set by the rising edge of output clock OUT_B2 , and is reset by the rising edge of output clock OUT_B3 . Therefore, an output signal P2 is the phase by which only $T/2$ was delayed from output clock OUT_A (or input clock IN), and, moreover, is acquired as a clock which has one fourth of duty ratios.

[0211] OR circuit 139 computes and outputs the OR of output signals P1 and P2. For this reason, a period is $T/2$ and, moreover, an output signal DBL is acquired as a clock signal whose duty ratio is 50%.

[0212] Thus, with this equipment 511, while the clock of two phases of an input clock IN , an inphase, and opposition is obtained, the clock with which it doubled multiplying of the frequency is obtained. And the duty ratio of these clocks serves as constant value with an unrelated input clock IN . Therefore, when object equipment 5 (drawing 2) needs the clock of two or more phases, or when the clock of the wave number is needed two or more rounds, this equipment 511 is useful.

[0213] In addition, multiplying of clocks, such as generation of the clock of a polyphase with still more source resultant pulse numbers or 3 times, and 4 times, is also easily possible by extending equipment 511, setting the ratio of the amount of delay of an adjustable delay circuit as values 1 / other than four, and setting up more numbers of the adjustable delay circuit by which cascade connection is carried out further than three pieces.

[0214] Namely, alternately in which the number of stages after the 3rd adjustable delay circuit 135 included the 2nd adjustable delay circuit 134 by N (= even number), the set terminal SET and the reset terminal RST are connected to the input side and output side,

respectively, and, generally SR flip-flop should just be equipped with OR circuit 142 which computes and outputs the OR of the output of the noninverting output terminal Q of all SR flip-flops. And each amount of delay after the 2nd adjustable delay circuit 134 should just be set up so that it may become $1/(N+2)$ of the amount of delay of the 1st adjustable delay circuit 11. At this time, the number M of SR flip-flop connected after the 3rd adjustable delay circuit 135 is set to $M=N/2$.

[0215] By doing so, from OR circuit 14, multiplying of the frequency of an input clock IN is carried out to $(N+2)/2$ twice, i.e., $(M+1)$, twice, and, moreover, the clock whose duty ratio is 50% is outputted. As for the example shown in drawing 38, the value of N is equivalent to the minimum example value, $N=2$ [i.e.,].

[0216] <Gestalt 16 of 16. operation> drawing 40 is the block diagram showing the configuration of the clock feeder of the gestalt 16 of operation. This clock feeder 512 is constituted so that the same function as the equipment 501 (drawing 2) which DLL equipment and a duty ratio recovery device combined may be achieved.

[0217] drawing 40 – setting – 151 – a delay circuit and 152 – a selector and 153 – the 1st selection-signal generation section and 154 – for the output signal of a delay circuit 151, and S1, the 1st selection signal and S2 are [the 2nd selection-signal generation section and 155 / the period-measurement section, and c1-cn / the 3rd selection signal and OUT_S1, and OUT_S2 of the 2nd selection signal and S3] the output signals of a selector 152.

[0218] A delay circuit 151 delays input-clock CL sequential fixed time amount every, and is outputted as output signals c1, c2, ..., cn. The amount of delay of a delay circuit 151 is constituted by not adjustable but the inverter by which cascade connection was carried out to multistage.

[0219] The selector 152 is constituted as a duplex selector, it answers the 2nd selection signal S2, chooses one, and outputs it as output signal OUT_S2 while answering the 1st selection signal S1, choosing one from many output signals c1, c2, ..., cn and outputting as output signal OUT_S1. That is, the adjustable delay circuit is constituted by the delay circuit 151 and the selector 152. An output signal with the large amount of delay is chosen, so that the value of selection signals S1 and S2 is large.

[0220] The period-measurement section 155 measures the period of input-clock CL, and outputs the value equivalent to the one half of the period as the 3rd selection signal S3. The 1st selection-signal generation section 153 outputs the 1st selection signal S1 according to the phase contrast of input-clock CL and the feedback clock FB. That is, the 1st selection-signal generation section 153 outputs the 1st selection signal S1 so that the phase contrast of input-clock CL and the feedback clock FB may be stabilized in the value of zero equivalent. Furthermore, the 2nd selection-signal generation section 154 adds the 3rd selection signal S3 to the 1st selection signal S1, and outputs it as the 2nd selection signal S2.

[0221] Thus, DLL equipment is constituted by a delay circuit 151, a selector 152, and the 1st selection-signal generation section 153, and the amount of delay is adjusted so that the phase contrast of input-clock CL and the feedback clock FB may serve as zero equivalent. Furthermore, the duty ratio recovery device which changes the duty ratio of the arbitration of an input clock IN to 50% is constituted by the period-measurement section 155 and the 2nd selection-signal generation section 154.

[0222] Drawing 41 is a timing chart which explains actuation of equipment 512 by making into an example the condition that phase contrast is stable in zero. In drawing 41, T is the period of input-clock CL. Only the amount of fixed delay corresponding [output signal OUT_S1] to the value of the 1st selection signal S1 to input-clock CL is delayed. Furthermore, corresponding to the 3rd selection signal S3, as for output signal OUT_S2, only T/2 is delayed from output signal OUT_S1.

[0223] The SR flip-flop 14 is set by output signal OUT_S1, and is reset by output signal OUT_S2. Consequently, from the noninverting output terminal Q of the SR flip-flop 14, it synchronizes with output-signal OUT_S1, and clock signal Q whose duty ratio is 50% is outputted.

[0224] By the time this output signal Q is transmitted as a feedback clock FB, the amount of delay will be further added with the clock driver 3, the clock wiring 4, etc. However, the amount of delay from input-clock CL to output signal OUT_S1 is adjusted by work of DLL equipment so that the phase contrast of the appearance between input-clock CL and the feedback clock FB may serve as zero.

[0225] Thus, with this equipment 512, there is no phase contrast with input-clock CL, and, moreover, as for the duty ratio of input-clock CL, the clock of 50% of duty ratio is obtained independently.

[0226] Drawing 42 is the block diagram showing the desirable example of a configuration of the 1st selection-signal generation section 153. As shown in drawing 42, the 1st selection-signal generation section 153 can be constituted identically to the control section 43 (drawing 7) of waveform-shaping equipment 503.

[0227] Drawing 43 is the block diagram showing the desirable example of a configuration of the period-measurement section 155. For 156, in drawing 43, a delay circuit and 157 are [a divider and S4 of a selector and 158] the 4th selection signal. A delay circuit 156 is constituted identically to a delay circuit 151, and its amount of delay of many output signals also corresponds mutually. Moreover, the response relation between a selection signal and the signal chosen according to it is identically set up between the selector 157 and the selector 152.

[0228] Moreover, a selector 157 answers the 4th selection-signal S4 which AD converter 45 outputs, chooses one of the output signals of a large number from a delay circuit 156, and outputs it to a phase comparator 15. That is, the delay circuit 156 and the selector 157 constitute the adjustable delay circuit 41 (drawing 7) substantially. And the period-measurement section 155 is constituted by adding a divider 158 to the adjustable delay circuit 41 and a control section 43 (drawing 7).

[0229] Therefore, the 3rd selection signal S3 is generated as a selection signal which chooses the signal which has the amount of delay of T/2 from the output signals of a delay circuit 156. If this puts in another way, it means being generated as a selection signal with which the 3rd selection signal S3 chooses the signal which has the amount of delay of T/2 from the output signals c1-cn of a delay circuit 151.

[0230] Drawing 44 is the block diagram showing the example of a configuration of the 2nd selection-signal generation section 154. As shown in drawing 44, by using a digital adder, the selection signals S1 and S3 as a binary number are added mutually, and the 2nd selection-signal generation section 154 can be outputted as a selection signal S3.

[0231] Since the 3rd selection signal S3 is added to the 1st selection signal S1, the signal with which only T/2 was delayed from output signal OUT_S1 is chosen, and the 2nd selection signal S2 is outputted as output signal OUT_S2.

[0232] In this clock feeder 512, since DLL equipment and a duty ratio recovery device are sharing the delay circuit 151, the number of a component is reduced and there is an advantage that the scale of equipment is reducible. And since all equipment parts consist of digital circuits which process only a digital signal, it is hard to be influenced of electrical noise, and, moreover, the advantage that actuation is stabilized is also acquired by coincidence.

[0233] Moreover, the period-measurement section 155 is equipped with the equipment part similar to a delay circuit 151, a selector 152, and the 1st control signal generation section 153, and considering as the same structure is possible in a considerable part. For this reason, common-use-izing of a design resource is possible, and simplification of a production process and reduction of cost are brought about.

[0234] In addition, although the above explanation showed the example which uses the selector 152 of a double type type, two usual

selectors may be prepared and both sides may be connected to the single delay circuit 151.

[0235] <Gestalt 17 of 17. operation> drawing 45 is the block diagram showing the configuration of the waveform-shaping equipment of the gestalt 17 of operation. This waveform-shaping equipment 513 is constituted as frequency-multiplication equipment which carries out multiplying of the frequency of a clock.

[0236] In drawing 45, 161 is an adjustable delay circuit and 162 is an exclusive "or" circuit. Under the same control signal Vin as well as the adjustable delay circuit 134 (drawing 38), the adjustable delay circuit 161 is set up so that the amount of delay may be set to one fourth of the 1st adjustable delay circuits 11. That is, this equipment 513 is constituted by removing the adjustable delay circuit 135, 136, the SR flip-flop 137, 138, and OR circuit 139, and forming an exclusive "or" circuit 162 instead of the SR flip-flop 137 from equipment 511. In case this equipment 513 is used, the clock with which the duty ratio was adjusted to 50% is inputted as an input clock IN.

[0237] Drawing 46 is a timing chart which explains actuation of equipment 513 by making the time of the 1st adjustable delay circuit 11 being in a lock condition into an example. Since the 1st adjustable delay circuit 11 is in a lock condition, as for output clock OUT_A, only an input clock IN to the period T is delayed, and those phase contrast serves as zero seemingly. At this time, as for output clock OUT_B outputted from the adjustable delay circuit 161, only T/4 is delayed from an input clock IN.

[0238] An exclusive "or" circuit 162 computes the exclusive OR (EXOR) of output clock OUT_A and output clock OUT_B, and outputs it as an output clock OUT. For this reason, the output clock OUT is obtained as a clock signal which has 50% of duty ratio and has T/4 of periods. And there is no delay between the standup of an input clock IN, and the standup for every two periods of the output clock OUT.

[0239] Moreover, it is also possible by taking out outside by using output clock OUT_B as an output clock to obtain the clock which carried out 1/4 period delay from an input clock IN. Thus, when this equipment 513 inputs the input clock IN which has 50% of duty ratio, a phase can obtain the clock with which only the specified quantity shifted, and the clock with which multiplying of the frequency was carried out.

[0240] Furthermore, as compared with equipment 511 (drawing 38), with equipment 513, there is an advantage that multiplying of a frequency is realized with an easy configuration so that clearly.

[0241]

[Effect of the Invention] With the equipment of the 1st invention, that of a control section is ***** and, as for the 1st delay clock, those phases' [1 period delay and] corresponds with an input clock substantially. Therefore, only the time amount which is equivalent to the rate of a constant ratio of less than one period to the input is in the output of the 2nd adjustable delay circuit. Since SR flip-flop is set in the input of the 2nd adjustable delay circuit and is reset with an output, the output clock which is the output of SR flip-flop has a fixed duty ratio equivalent to the rate of a constant ratio. That is, with the duty ratio of an input clock, it has a fixed duty ratio and the output clock whose phase moreover corresponds with the phase of an input clock substantially is unrelated always obtained.

[0242] A control section is constituted from the equipment of the 2nd invention by a phase comparator, a charge pump circuit, and the loop filter. For this reason, the configuration of a control section is easy and manufacture is easy.

[0243] With the equipment of the 3rd invention, the 1st and 2nd adjustable delay circuit consists of unit delay elements of the same configuration, and, moreover, a bias signal is inputted into the current source which accompanies each unit delay element in common. For this reason, even if a control signal changes, the amount of delay of the 1st and 2nd adjustable delay circuit maintains the fixed ratio equivalent to the ratio of the number of a unit delay element to a precision. That is, precision high about the relation of both amount of delay is realized. Moreover, since a bias circuit is shared, the number of a component is reduced. Furthermore, since a unit delay element is arranged in the shape of a straight line, the factor of noises, such as coupling of signals, is reduced.

[0244] Since the 1st and 2nd adjustable delay circuit consists of equipment of the 4th invention in the digital circuit which processes a digital signal, it is hard to be influenced of a noise. moreover, a control signal -- responding -- a unit delay element -- in fixed numbers -- ** -- since it is chosen from the signal trains which can be boiled, the precision of the amount of delay is high and, moreover, the linearity between a control signal and the amount of delay is good.

[0245] With the equipment of the 5th invention, the unit delay element belonging to the 1st and 2nd adjustable delay circuit is mutually the same, is that the numbers for every signal train differ among them, and is changing the amount of delay between them. For this reason, even if a control signal changes, the ratio of the amount of delay between the 1st and 2nd adjustable delay circuits is maintained in a high precision.

[0246] With the equipment of the 6th invention, the 1st and 2nd adjustable delay circuit is constituted identically mutually, it is shifting wiring so that a control signal may carry out a bit shift, and it is changing the amount of delay between them. For this reason, even if a control signal changes, the ratio of the amount of delay between the 1st and 2nd adjustable delay circuits is maintained in a high precision. Moreover, since the 1st and 2nd adjustable delay circuit can be manufactured identically, manufacture effectiveness is good.

[0247] A control section is constituted from a phase comparator, a charge pump circuit, a loop filter, and an AD converter by the equipment of the 7th invention. For this reason, the configuration of a control section is easy and manufacture is easy.

[0248] With the equipment of the 8th invention, since a control section consists of digital circuits, while a property is fixed and a control signal is generated with a sufficient precision, there is also little effect by the noise and the stable actuation is obtained. And since it consists of easy circuits of common knowledge called D latch and a counter, manufacture is easy and cost is also cheap.

[0249] With the equipment of the 9th invention, the clock with which a duty ratio is the same and a phase differs from the clock which the 1st SR flip-flop outputs is obtained by the 3rd adjustable delay circuit and the 2nd SR flip-flop. Therefore, it is suitable for use to the equipment which needs the clock of a polyphase.

[0250] the equipment of the 10th invention -- the duty ratio from the 1st SR flip-flop and the 2nd SR flip-flop of M individual -- each - 50% -- it is -- a phase -- by [of the period of an input clock IN] $1/(1+M)$ twice -- the polyphase clock shifted is obtained. And a duty ratio is 50% and the clock with which it moreover doubled multiplying of the frequency of an input clock IN (M+1) is obtained from an OR circuit. Therefore, it is suitable for use to the equipment which needs the clock or the clock by which multiplying was carried out of a polyphase.

[0251] With the equipment of the 11th invention, that of a control section is ***** and, as for a single shot pulse, those phases' [1 period delay and] corresponds with an input clock substantially. Therefore, only the time amount which is equivalent to the rate of a constant ratio of less than one period to the input is in the output of the backmost part of the 2nd adjustable delay circuit. Therefore, from an OR circuit, an input clock and a phase are the same and a clock with a fixed duty ratio is outputted. That is, by using this equipment, with the duty ratio of an input clock, it has a fixed duty ratio and the output clock whose phase moreover corresponds with an input clock is unrelated always obtained.

[0252] Since the offset generation section is equipped with the equipment of the 12th invention, it is possible easily to change a duty ratio by changing the value of the control signal inputted into the 2nd adjustable delay circuit.

[0253] It is possible to use as an PWM modulator according to the signal into which the value of an offset signal is inputted from the outside with the equipment of the 13th invention, since it is adjustable.

[0254] Since a means to set the initial value of a control signal as the value which makes the amount of delay min with the equipment of the 14th invention is equipped, when the amount of maximum adjustable delay of the 1st adjustable delay circuit becomes twice [more than] the period of an input clock according to a manufacture error etc., it is possible to make stably the amount of delay of the 1st adjustable delay circuit into one period of an input clock.

[0255] In the equipment of the 15th invention, the period's of active level phase corresponds with the amount of delay by the adjustable delay circuit in accordance with an input clock with the output clock which SR flip-flop outputs. Since this output clock integrates an integrator and the amount of delay of an adjustable delay circuit is fluctuated according to the difference of that integral signal and value of an another side input of the differential amplifier, the amount of delay becomes settled so that it may be in agreement with the value of an another side input of an integral signal.

[0256] That is, while a phase can obtain the output clock which is in agreement with an input clock, the duty ratio can adjust with the value of an another side input regardless of an input clock. Moreover, it is also possible to use this equipment as an PWM modulator by inputting the signal which changes to an another side input with time amount.

[0257] With the equipment of the 16th invention, since the reference signal generation section is equipped, the output clock which has a fixed duty ratio according to the value of the reference signal generated is obtained.

[0258] With the equipment of the 17th invention, a fixed delay circuit and a selector function as an adjustable delay circuit by joining together mutually. And with the output clock which SR flip-flop outputs, the period's of active level phase corresponds with the amount of delay by the adjustable delay circuit in accordance with an input clock. Since the amount of delay is changed in the direction which cancels the deflection from 50% of the duty ratio of this output clock by the 1st and 2nd counters, regardless of an input clock, the duty ratio of an output clock becomes settled to 50%.

[0259] With the equipment of the 18th invention, since SR flip-flop is equipped with the single shot pulse circuit, even if an input clock with a large duty ratio is inputted, it operates normally.

[0260] With the equipment of the 19th invention, since SR flip-flop is an SR flip-flop of a reset priority mold, even if an input clock with a large duty ratio is inputted, it operates normally.

[0261] With the equipment of the 20th invention, since a single shot pulse circuit is equipped, an input clock is changed into a single shot pulse circuit and each part of equipment is supplied, even if an input clock with a large duty ratio is inputted, it operates normally.

[0262] With the equipment of the 21st invention, since the amount of delay of the 2nd adjustable delay circuit is set as one fourth of the 1st adjustable delay circuits and SR flip-flop is transposed to the exclusive "or" circuit, the clock with which it doubled multiplying of the frequency is obtained from an exclusive "or" circuit at the time of ** into which the input clock whose duty ratio is 50% is inputted.

[0263] In the clock feeder of the 22nd invention, since waveform-shaping equipment is equipped, the clock which has a fixed duty ratio regardless of an input clock is supplied to clock wiring. And since waveform-shaping equipment is inserted between the clock drivers which are in the loop formation of DLL equipment, phase compensation by DLL equipment also including delay by waveform-shaping equipment is performed.

[0264] Thus, since the output clock which moreover has a fixed duty ratio regardless of an input clock is obtained without spoiling the phase compensation function by DLL equipment by using this clock feeder, the working speed of the object equipment which receives supply of a clock can be raised.

[0265] In the equipment of the 23rd invention, as waveform-shaping equipment, since the 1st, the 4th, the 11th, the 15th, or the waveform-shaping equipment of the 17th invention is used, structure is easy and the output clock which moreover has a fixed duty ratio is obtained in a high precision.

[0266] With the equipment of the 24th invention, a fixed delay circuit and the 1st selector function as 1st adjustable delay circuit by joining together mutually. Moreover, a fixed delay circuit and the 2nd selector function as 2nd adjustable delay circuit by joining together mutually. And the amount of delay of the 1st adjustable delay circuit is controlled by the 1st selection-signal generation section so that the phase contrast of an input clock and a feedback clock is solved. Furthermore, the amount of delay of the 2nd adjustable delay circuit is adjusted by the period-measurement section and the 2nd selection-signal generation section at the time amount of the one half of one period of an input clock. Therefore, from SR flip-flop, the clock which has 50% of duty ratio is outputted.

[0267] Thus, since 50% of duty ratio is obtained regardless of an input clock while compensation of a phase is made by using this clock feeder, the working speed of the object equipment which receives supply of a clock can be raised.

[0268] With the equipment of the 25th invention, the 2nd fixed delay circuit and the 3rd selector join together, and it functions as 3rd adjustable delay circuit. And the amount of delay of the 3rd adjustable delay circuit is in agreement with one period of an input clock by work of the 4th selection-signal generation section. The value of the 4th control signal at this time has become settled in the selectable value about the amount of delay for one period of an input clock.

[0269] Since relation with the signal train which the amount of delay of the 2nd fixed delay circuit is the same as that of the 1st fixed delay circuit, and is chosen with the selection signal of the 3rd selector is moreover set up like the 1st and 2nd selectors The 2nd control signal which adds the 3rd control signal equivalent to the one half of the value of the 4th selection signal to the 1st control signal, and is acquired chooses from the 1st delay clock the clock by which the period of an input clock was delayed further 0.5 times as the 2nd delay clock. Therefore, the duty ratio of the clock which SR flip-flop outputs becomes settled to 50% regardless of an input clock.

[0270] Thus, the period-measurement section has the structure similar to the 1st fixed delay circuit, the 1st and 2nd selectors, and the 1st selection-signal generation section, and can constitute it identically in a considerable part. That is, common-use-izing of design resources, such as a circuit pattern, is possible, and simplification of a production process and reduction of cost are brought about.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] It is the block diagram of the waveform-shaping equipment of the gestalt 2 of operation.
 [Drawing 2] It is the block diagram of the clock feeder of the gestalt 1 of operation.
 [Drawing 3] It is the timing chart of the clock feeder of the gestalt 1 of operation.
 [Drawing 4] It is the timing chart of the waveform-shaping equipment of the gestalt 2 of operation.
 [Drawing 5] It is the block diagram of the adjustable delay circuit of the gestalt 2 of operation.
 [Drawing 6] It is the block diagram of other examples of the adjustable delay circuit of the gestalt 2 of operation.
 [Drawing 7] It is the block diagram of the waveform-shaping equipment of the gestalt 3 of operation.
 [Drawing 8] It is the block diagram of the 1st adjustable delay circuit of the gestalt 3 of operation.
 [Drawing 9] It is the block diagram of the 2nd adjustable delay circuit of the gestalt 3 of operation.
 [Drawing 10] It is the block diagram of the other examples of the 1st adjustable delay circuit of the gestalt 3 of operation.
 [Drawing 11] It is the block diagram of the other examples of the 2nd adjustable delay circuit of the gestalt 3 of operation.
 [Drawing 12] They are some block diagrams of the waveform-shaping equipment of the gestalt 4 of operation.
 [Drawing 13] It is the timing chart of the waveform-shaping equipment of the gestalt 4 of operation.
 [Drawing 14] It is the timing chart of the waveform-shaping equipment of the gestalt 4 of operation.
 [Drawing 15] It is the block diagram of SR flip-flop of the gestalt 5 of operation.
 [Drawing 16] It is the timing chart of the waveform-shaping equipment of the gestalt 5 of operation.
 [Drawing 17] It is the block diagram of SR flip-flop of the gestalt 6 of operation.
 [Drawing 18] It is the block diagram of SR flip-flop of the gestalt 6 of operation.
 [Drawing 19] It is the block diagram of the waveform-shaping equipment of the gestalt 7 of operation.
 [Drawing 20] It is the timing chart of the waveform-shaping equipment of the gestalt 7 of operation.
 [Drawing 21] It is the block diagram of the waveform-shaping equipment of the gestalt 8 of operation.
 [Drawing 22] It is the block diagram of the 2nd adjustable delay circuit of the gestalt 8 of operation.
 [Drawing 23] It is the block diagram of the inverter of the gestalt 8 of operation.
 [Drawing 24] It is the timing chart of the waveform-shaping equipment of the gestalt 8 of operation.
 [Drawing 25] It is the block diagram of the waveform-shaping equipment of the gestalt 9 of operation.
 [Drawing 26] It is the timing chart of the waveform-shaping equipment of the gestalt 9 of operation.
 [Drawing 27] It is the block diagram of the waveform-shaping equipment of the gestalt 11 of operation.
 [Drawing 28] It is the timing chart of the waveform-shaping equipment of the gestalt 11 of operation.
 [Drawing 29] It is the block diagram of the integrator of the gestalt 11 of operation.
 [Drawing 30] It is the block diagram of other examples of the integrator of the gestalt 11 of operation.
 [Drawing 31] It is the block diagram of the example of further others of the integrator of the gestalt 11 of operation.
 [Drawing 32] It is the block diagram of the example of further others of the integrator of the gestalt 11 of operation.
 [Drawing 33] It is the block diagram of the waveform-shaping equipment of the gestalt 12 of operation.
 [Drawing 34] It is the block diagram of the digital filter of the gestalt 12 of operation.
 [Drawing 35] It is the block diagram of the other examples of the digital filter of the gestalt 12 of operation.
 [Drawing 36] It is the block diagram of the waveform-shaping equipment of the gestalt 13 of operation.
 [Drawing 37] It is the block diagram of the waveform-shaping equipment of the gestalt 14 of operation.
 [Drawing 38] It is the block diagram of the waveform-shaping equipment of the gestalt 15 of operation.
 [Drawing 39] It is the timing chart of the waveform-shaping equipment of the gestalt 15 of operation.
 [Drawing 40] It is the block diagram of the waveform-shaping equipment of the gestalt 16 of operation.
 [Drawing 41] It is the timing chart of the waveform-shaping equipment of the gestalt 16 of operation.
 [Drawing 42] It is the block diagram of the 1st control signal generation section of the gestalt 16 of operation.
 [Drawing 43] It is the block diagram of the period-measurement section of the gestalt 16 of operation.
 [Drawing 44] It is the block diagram of the 2nd control signal generation section of the gestalt 16 of operation.
 [Drawing 45] It is the block diagram of the waveform-shaping equipment of the gestalt 17 of operation.
 [Drawing 46] It is the timing chart of the waveform-shaping equipment of the gestalt 17 of operation.
 [Drawing 47] It is the block diagram of the conventional clock feeder.
 [Drawing 48] It is the block diagram of the conventional phase comparator.
 [Drawing 49] It is the timing chart of the conventional phase comparator.
 [Drawing 50] It is the condition transition Fig. of the conventional phase comparator.
 [Drawing 51] They are the conventional charge pump circuit and the block diagram of a loop filter.
 [Drawing 52] It is the block diagram of the conventional current source.
 [Drawing 53] It is the block diagram of the conventional current source.
 [Drawing 54] It is the block diagram of the conventional adjustable delay circuit.

[Description of Notations]

1 DLL Equipment, 2 Waveform-Shaping Equipment, 3 Clock Driver, 4 Clock wiring, 5 Object equipment, FB Feedback clock, 11, 41, 51 The 1st adjustable delay circuit, 12, 42, 52, 96, 134, 161 The 2nd adjustable delay circuit, 13 43 A control section, 14 SR flip-flop, 15 Phase comparator, 16 A charge pump circuit, 17 20 A loop filter, 30 Adjustable delay circuit, 21 31 The bias circuit section, 22 A unit delay circuit, 23, 26, 33, 35 NMOS transistor, 24, 27, 34, 36 25 A PMOS transistor, 46, 121 Inverter, 32 A resistance element, 45

An AD converter, Sin Control signal, 47 53 A selector, 55 D latch, 56,122,127 The 1st counter, 57,123,128 The 2nd counter, 60, 70, 80,137,138 SR flip-flop, 90 A single shot pulse circuit, 97,139 OR circuits, 101 Integrator, 102 differential amplifier, 120,120a A digital filter, 125,126 AND circuit, 132 The offset generation section, 135,136 The 3rd adjustable delay circuit, 151 A delay circuit, 152 A selector, the 153 1st selection-signal generation section, 154 The 2nd selection-signal generation section, 158 A divider, 162 exclusive "or" circuits, CL, IN Input clock, OUT An output clock, a Vin control signal, 502-511,513 Waveform-shaping equipment, 501,512 Clock feeder.

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.